

Logos 系列
FPGA 核心板
P12

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制	2
一、 FPGA 核心板.....	4
(一) 简介	4
(二) FPGA.....	5
(三) 有源晶振.....	7
(四) SDRAM	7
(五) QSPI Flash.....	10
(六) LED 灯.....	11
(七) 扩展接口.....	12
(八) 电源	15
(九) 结构图.....	17

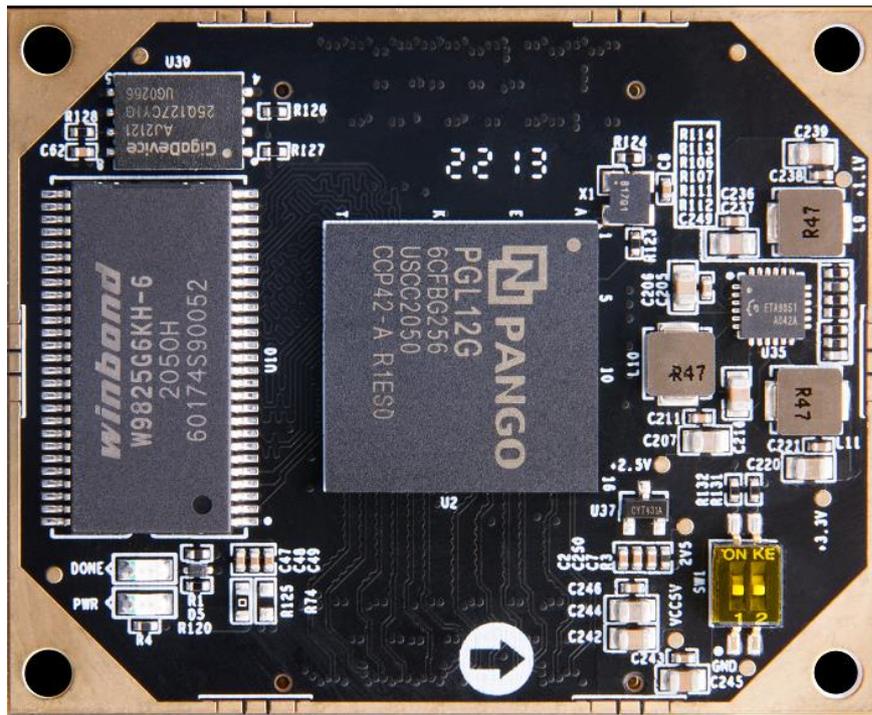
一、 FPGA 核心板

(一) 简介

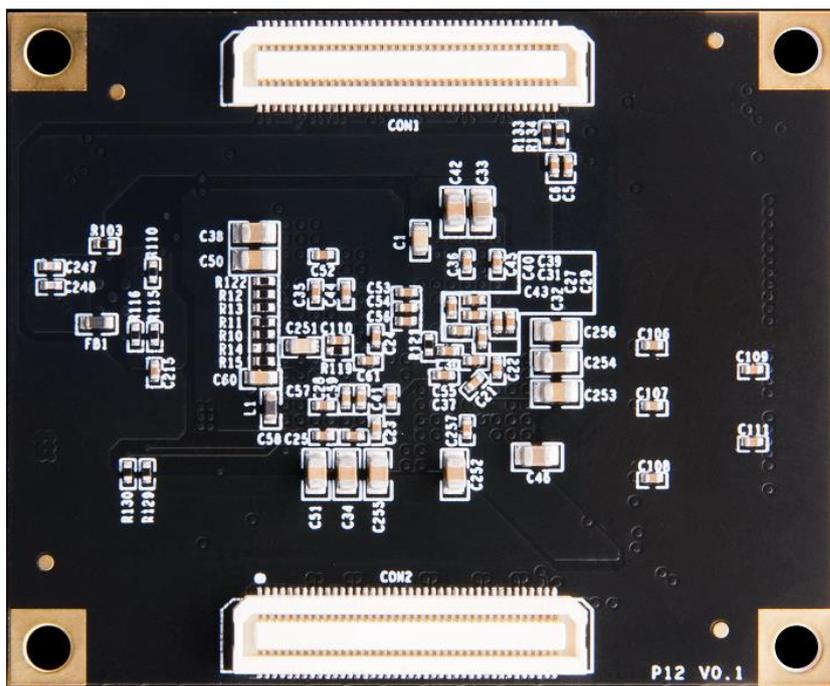
P12(核心板型号,下同)核心板,是紫光同创公司开发的 Logos 系列 FPGA 高性能核心板,具有高速,高带宽,大容量等特点,适合高速数据通信,视频图像处理,高速数据采集等方面使用。

这款核心板使用了 1 片 winbond 公司的 W9825G6 这款 SDRAM 芯片; DDR3 芯片和 FPGA 芯片总线宽度为 16bit,数据时钟频率高达 133Mhz;这样的配置,可以满足高大部分数据处理的需求。板上的 64Mb QSPI FLASH 芯片的型号为 W25Q64,用于存储 FPGA 系统的启动文件。

这款核心板扩展出 106 个 FPGA 的 IO 口(默认 3.3V 电平标准),其中有 40 个 IO 可以通过修改核心板上的 LDO 芯片来改变电平标准。对于需要大量 IO 的用户,此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长走线处理,并且核心板尺寸仅为 45*55 (mm),对于二次开发来说非常适合。



P12 核心板正面图



P12 核心板背面图

(二) FPGA

前面已经介绍过了, 我们所使用的 FPGA 型号为 **PGL12G6CFBG256**, 属于 紫光同创公司的 Logos 系列产品, 速度等级为-6, 温度等级为商业级 C。此型号为 **FBG256** 封装, 256 个引脚。Logos 系列 FPGA 命名规则如图所示。

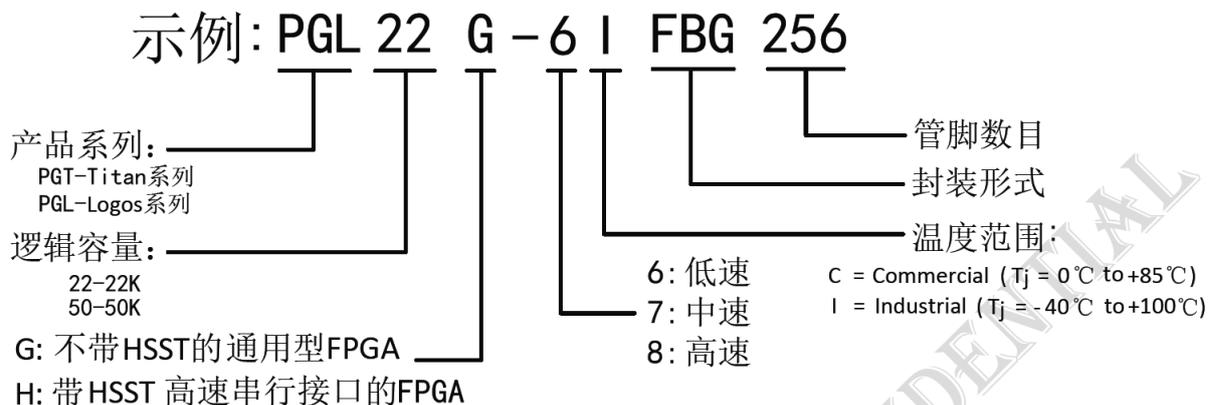


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL12G 的主要参数如下所示：

器件型号		PGL12G	PGL22G	PGL22GS	PGL25G	PGL50G	PGL50H
逻辑资源	等效 LUT4	12480	21043	21043	27072	51360	51360
	Flip-Flops (个)	15600	26304	26304	33840	64200	64200
RAM 资源	分布式 RAM(Kbit)	85	70	70	242	544	544
	块 RAM 数量(18Kbit/块)	30	48	48	60	134	134
	块 RAM(Kbit)	540	864	864	1080	2412	2412
时钟资源	PLL	4	6	6	4	5	5
IO 资源	最大用户 IO	160	240	140	308	341	304
	最大差分 IO(对)	80	120	68	154	170	152
	DDR3 (Mbps)	800	800 [#]	800	800	800	800
硬核资源	APM(18*18)	20	30	30	40	84	84
	ADC 硬核	1	1	—	—	—	—
	PCIe Gen2x4	—	—	—	—	—	1
	AES 模块	1	1	1	0	1	1
	HSST(6.375Gbps)	—	—	—	—	—	4
封装	尺寸(mm)	间距(mm)	用户 IO/差分对/HSST				
LPG144	22 x 22	0.5	103/51/0				
FBG256	17 x 17	1.0	160/80/0	186/93/0		186/93/0	
MBG324	15 x 15	0.8		240/120/0		226/113/0	218/109/0
LPG176	22 x 22	0.4			140/68/0		
MBG484	19 x 19	0.8				320/160/0	304/152/4
FBG484	23 x 23	1.0				308/154/0	340/170/0
FBG900	31 x 31	1.0					296/148/4

FPGA 供电系统

紫光同创 Logos FPGA 电源有 VCC, VCCIO L0, VCCIO L1, VCCIO R0, VCCIO R1, VCCAUX。VCC 为 FPGA 内核供电引脚，需接+1.1V；VCCAUX 为 FPGA 辅助供电引脚，接 3.3V；VCCIO L0, VCCIO L1, VCCIO R0, VCCIO R1 为 FPGA 的各个 BANK 的电压，包含 BANK L0~L1, BANK R0~R1，在 PGL12G 板上，BANK L0, BANK L1、BANK R0 连接的都是 3.3V，其中 BANK R1 的 VCCIO 电压可以通过跳电阻更改 BANK 的电平。

(三) 有源晶振

AXP12 核心板上配有一个 50MHz 的有源晶振，用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(Pin B5)，这个时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

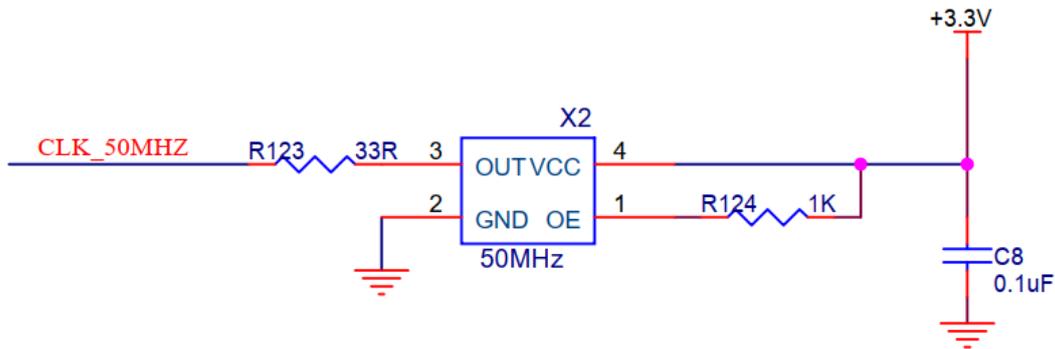


图 2-3-1 50MHz 有源晶振

图 2-3-2 为 50MHz 有源晶振实物图

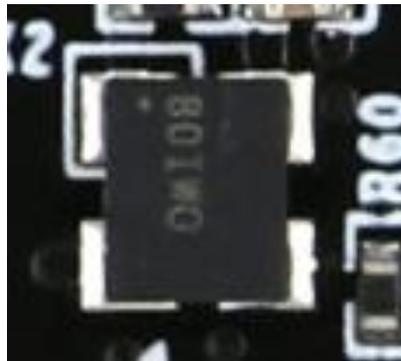


图 2-3-2 50M 有源晶振实物图

时钟引脚分配:

时钟网络名称	FPGA 引脚
CLK_50MHZ	B4

(四) SDRAM

开发板板载了一片 winbond 的 SDRAM 芯片,型号: W9825G6, 容量: 256Mbit (16M*16bit), 16bit 总线。SDRAM 可用于数据缓存, 比如摄像头采集到的数据, 暂存到 SDRAM 中, 然后通过 HDMI 接口进行显示。这里面 SDRAM 就是用于数据缓存的。管脚连接到了 FPGA 的 BANK L1 上。SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 SDRAM 配置

位号	芯片类型	容量	厂家
U10	W9825G6KH-6	16M x 16bit	winbond

SDRAM 的硬件连接示意图如图 2-4-1 所示:

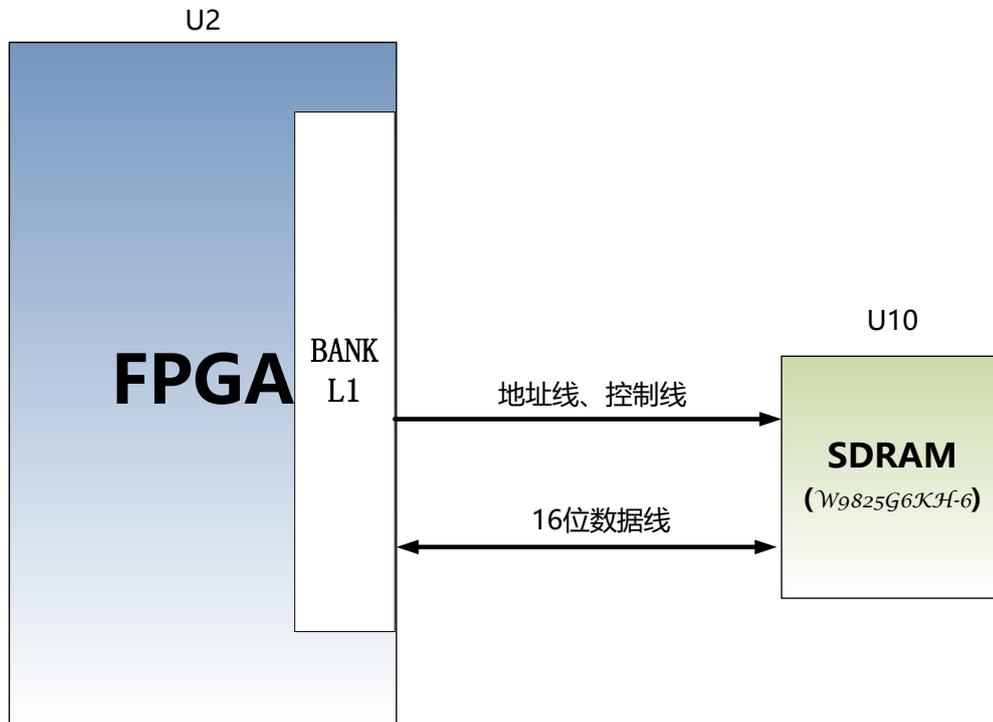


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 SDRAM 实物图



图2-4-2 DDR3 DRAM实物图

SDRAM 引脚分配:

引脚名称	FPGA 引脚
S_CLK	N4
S_CKE	N3
S_NCS	R2
S_NWE	T4

S_NCAS	R3
S_NRAS	T3
S_DQM0	R4
S_DQM1	L4
S_BA0	T2
S_BA1	R1
S_A0	P1
S_A1	N1
S_A2	M1
S_A3	L1
S_A4	K1
S_A5	K2
S_A6	K3
S_A7	L2
S_A8	L3
S_A9	M2
S_A10	T1
S_A11	N2
S_A12	P2
S_DB0	R8
S_DB1	T8
S_DB2	R7
S_DB3	T7
S_DB4	R6
S_DB5	T6
S_DB6	R5
S_DB7	T5
S_DB8	P5
S_DB9	N5
S_DB10	P6
S_DB11	M5
S_DB12	L5

S_DB13	K5
S_DB14	K6
S_DB15	J6

(五) QSPI Flash

核心板上使用了一片 64Mbit 大小的 QSPI FLASH 芯片，型号为 W25Q64，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 除了用作存储 FPGA 配置文件外还可以存储其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U39	W25Q64	64M Bit	winbow

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK L0 的专用管脚上

配置芯片引脚分配:

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	DIFFIO_L0_3_N/CFG_CLK	A8
QSPI_CS	DIFFIO_L0_4_P/FCS_N	D10
QSPI_DQ0	DIFFIO_L0_12_P/D0	B3
QSPI_DQ1	DIFFIO_L0_12_N/RRN_L0/D1	A3
QSPI_DQ2	DIFFIO_L0_13_P/RRP_L0/D2	D5
QSPI_DQ3	DIFFIO_L0_13_N/D3	D6

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

AXP12 核心板上有 2 个红色 LED 灯, 其中 1 个是电源指示灯(PWR), 另一个是配置 LED 灯(DONE)。当核心板供电后, 电源指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯 (DONE) 也会亮起。LED 灯硬件连接的示意图如图 2-6-1 所示:

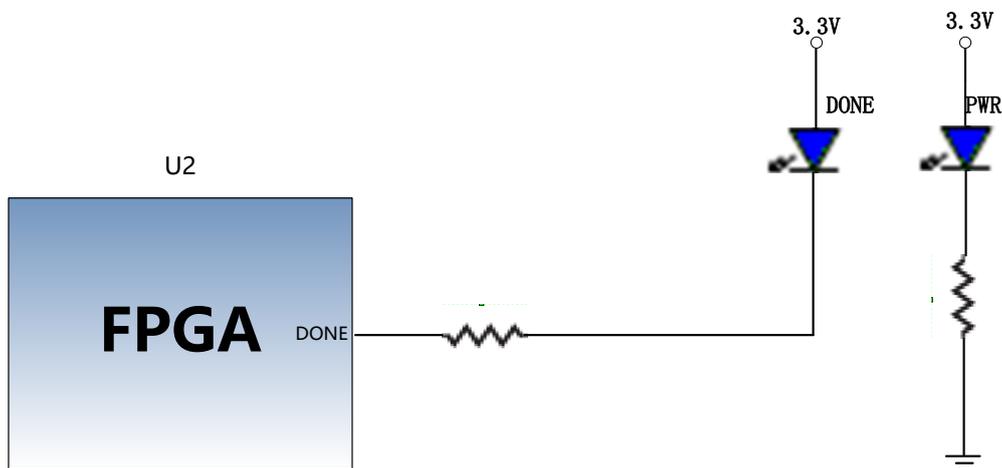


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

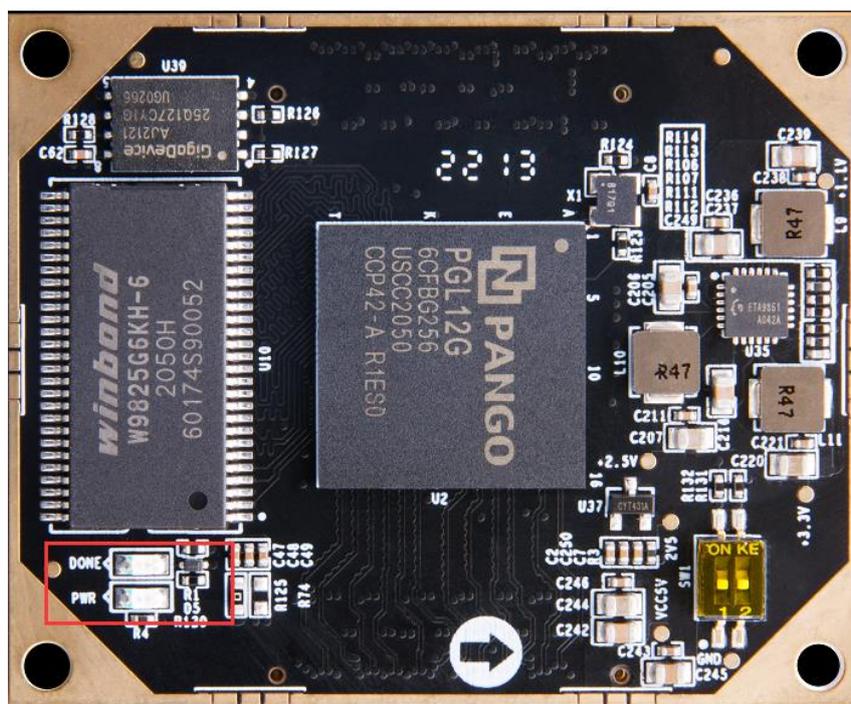


图 2-6-2 核心板的 LED 灯实物图

(七) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口和差分信号通过通过这 2 个扩展口跟底板连接。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器连接来实现核心板和底板的高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接 FPGA 的普通 IO，默认 IO 的电平标准为 3.3V。同时引出 FPGA 内部 ADC 模块管脚，CON1 扩展口的管脚分配如表 2-7-1 所示：

2-7-1 表：扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	L0_16_N	A1	I/O	PIN2	L0_11_P	B9	I/O
PIN3	L0_16_P	B1	I/O	PIN4	L0_11_N	A9	I/O
PIN5	L0_14_N	A2	I/O	PIN6	L0_4_N	C10	I/O
PIN7	L0_14_P	B2	I/O	PIN8	L0_6_N	A10	I/O
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L0_18_N	C2	I/O	PIN12	L0_10_N	A4	I/O
PIN13	L0_18_P	C1	I/O	PIN14	L0_7_P	B6	I/O
PIN15	L0_17_N	E3	I/O	PIN16	L0_0_P	E7	I/O
PIN17	L0_17_P	E4	I/O	PIN18	L0_0_N	F6	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L0_19_N	F3	I/O	PIN22	L0_8_P	D7	I/O
PIN23	L0_19_P	F4	I/O	PIN24	L0_8_N	C7	I/O
PIN25	L0_15_P	D4	I/O	PIN26	L0_9_P	B5	I/O
PIN27	L0_15_N	C4	I/O	PIN28	L0_9_N	A5	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L0_2_N	G5	I/O	PIN32	R0_17_N	J10	I/O
PIN33	L0_2_P	F5	I/O	PIN34	R0_17_P	H10	I/O
PIN35	L0_1_N	H6	I/O	PIN36	R0_5_N	G10	I/O
PIN37	L0_1_P	G6	I/O	PIN38	R0_5_P	G11	I/O
PIN39	GND	-	地	PIN40	GND	-	地

PIN41	R1_5_N	L12	I/O	PIN42	R0_19_N	J11	I/O
PIN43	R1_5_P	L11	I/O	PIN44	R0_19_P	J12	I/O
PIN45	GND	-	地	PIN46	R1_2_N	K12	I/O
PIN47	R1_19_N	N11	I/O	PIN48	R1_2_P	K11	I/O
PIN49	R1_19_P	N12	I/O	PIN50	R1_6_N	L13	I/O
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	R1_8_N	P13	I/O	PIN54	R1_6_P	L14	I/O
PIN55	R1_8_P	N13	I/O	PIN56	R1_18_N	T12	I/O
PIN57	GND	-	地	PIN58	R1_18_P	R12	I/O
PIN59	R1_16_N	T13	I/O	PIN60	R1_13_N	T11	I/O
PIN61	R1_16_P	R13	I/O	PIN62	R1_13_P	R11	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	R1_15_N	T10	I/O	PIN66	R1_14_N	T14	I/O
PIN67	R1_15_P	R10	I/O	PIN68	R1_14_P	R14	I/O
PIN69	GND	-	地	PIN70	NC	-	空脚
PIN71	R1_17_N	T9	I/O	PIN72	NC	-	空脚
PIN73	R1_17_P	R9	I/O	PIN74	NC	-	空脚
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	NC	-	空脚	PIN78	VA0	E8	AD
PIN79	NC	-	空脚	PIN80	VA1	F8	AD

图 2-7-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

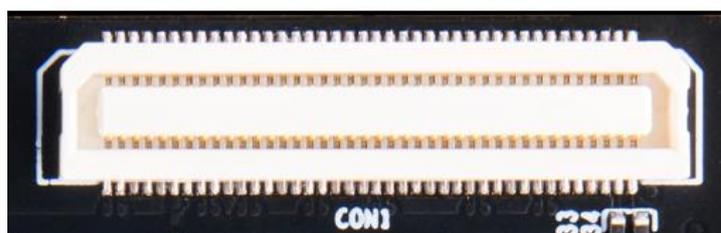


图 2-7-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接核心板的+5V 电源, JTAG 接口信号和 FPGA 的普通 IO 口连接到底板, IO 的电压标准默认都是 3.3V 的。CON2 扩展口的管脚分配如表 2-10-2 所示:

2-7-2 表：扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	+5V	-	电源	PIN2	+5V	-	电源
PIN3	+5V	-	电源	PIN4	+5V	-	电源
PIN5	+5V	-	电源	PIN6	+5V	-	电源
PIN7	+5V	-	电源	PIN8	+5V	-	电源
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	R0_9_N	A15	I/O	PIN12	R0_10_N	A16	I/O
PIN13	R0_9_P	B15	I/O	PIN14	R0_10_P	B16	I/O
PIN15	R0_1_N	A13	I/O	PIN16	R0_6_N	C15	I/O
PIN17	R0_1_P	B13	I/O	PIN18	R0_6_P	C16	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	R0_2_N	A11	I/O	PIN22	R0_12_P	E16	I/O
PIN23	R0_2_P	B11	I/O	PIN24	R0_12_N	E15	I/O
PIN25	R0_0_N	C11	I/O	PIN26	R0_14_N	F15	I/O
PIN27	R0_0_P	D11	I/O	PIN28	R0_14_P	F16	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	R0_4_N	A12	I/O	PIN32	R0_16_N	G15	I/O
PIN33	R0_4_P	B12	I/O	PIN34	R0_16_P	G16	I/O
PIN35	R0_11_P	E10	I/O	PIN36	R0_18_P	H16	I/O
PIN37	R0_11_N	F10	I/O	PIN38	R0_18_N	H15	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	R1_3_N	K15	I/O	PIN42	R1_4_N	L16	I/O
PIN43	R1_3_P	K16	I/O	PIN44	R1_4_P	L15	I/O
PIN45	R0_8_N	C13	I/O	PIN46	GND	-	地
PIN47	R0_8_P	D13	I/O	PIN48	R1_7_N	M15	I/O
PIN49	R0_15_N	J13	I/O	PIN50	R1_7_P	M16	I/O
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	R0_15_P	J14	I/O	PIN54	R1_9_N	N15	I/O
PIN55	R0_3_N	E13	I/O	PIN56	R1_9_P	N16	I/O
PIN57	R0_3_P	F13	I/O	PIN58	GND	-	地

PIN59	R0_13_P	H13	I/O	PIN60	R1_10_N	P15	I/O
PIN61	R0_13_N	H14	I/O	PIN62	R1_10_P	P16	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	R1_1_N	J15	I/O	PIN66	R1_11_N	R16	I/O
PIN67	R1_1_P	J16	I/O	PIN68	R1_11_P	R15	I/O
PIN69	R1_0_N	K13	I/O	PIN70	GND	-	地
PIN71	R1_0_P	K14	空脚	PIN72	R1_12_N	T15	I/O
PIN73	NC	-	空脚	PIN74	R1_12_P	T16	I/O
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	FPGA_TDI	H8	O	PIN78	FPGA_TCK	H9	O
PIN79	FPGA_TMS	J9	O	PIN80	FPGA_TDO	J8	I

图 2-7-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

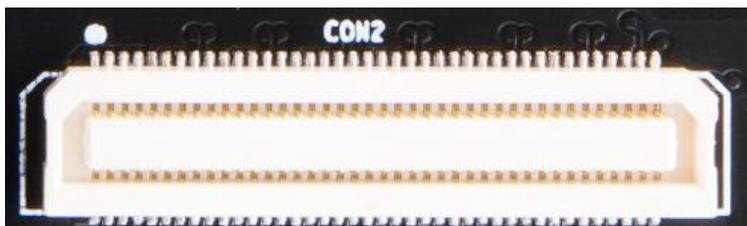


图 2-7-2 CON2 扩展口连接器的实物图

(八) 电源

AXP12 核心板供电电压为+5V，需通过连接器 CON2 供电，连接底板时通过底板供电。板上的电源设计示意图如下图 2-8-1 所示：

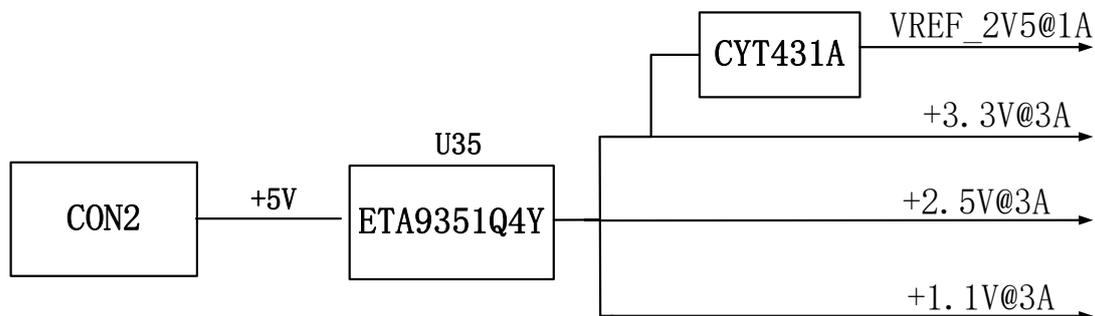


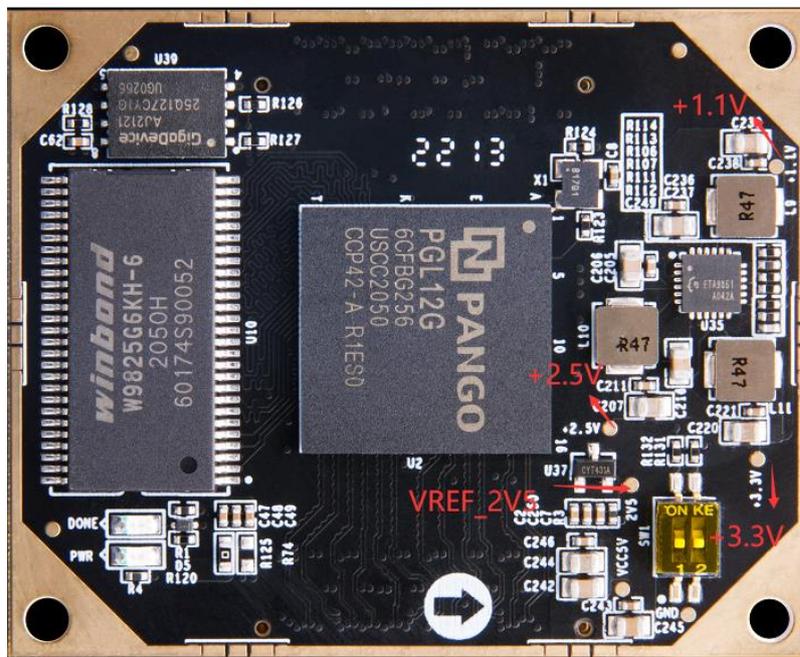
图 2-8-1 原理图中电源接口部分

核心板通过+5V 供电，通过 3 路 DC/DC 电源芯片 ETA9351Q4Y 转化成+3.3V，+2.5V，+1.1V 3 路电源，3 路输出电流可高达 3A。+1.1V 给 FPGA 内核供电，+3.3V 主要是对 FPGA 的 L0、L1 和 R0 进行供电，而 BANK R1 的电压则可以是+2.5V 或 3.3V，用户可以通过跳选

电阻进行，VREF_2V5 为 FPGA 的内部 AD 的外部电源。各个电源分配的功能如下表所示：
各个电源分配的功能如下表所示：

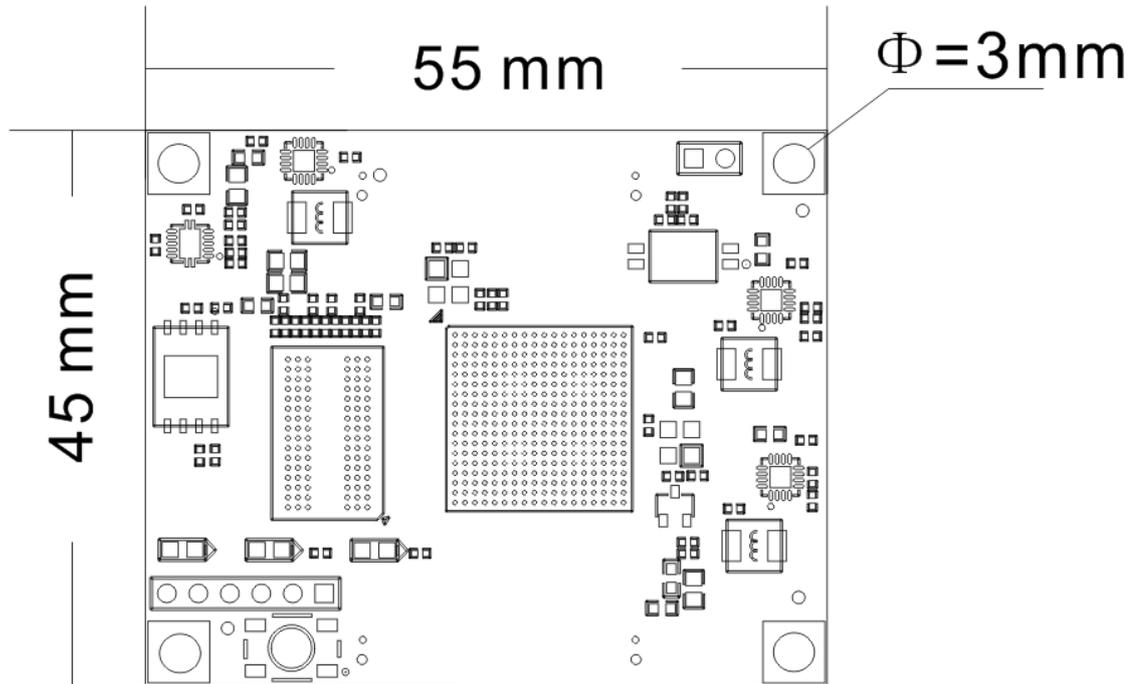
电源	功能
+3.3V	FPGA Bank L0,L1R0, QSIP FLASH, Clock 晶振, 辅助电压
+2.5V	BANK R1 可选电压
+1.1V	FPGA 的核心电压
VREF_2V5	FPGAAD 参考电源

AXP12 核心板的电源电路在板上的分别实物图所下图 2-8-2 所示。



2-8-2 核心板电源部分实物图

(九) 结构图



正面图 (Top View)