Titan2 FPGA 开发平台

用户手册

AXP390 开发板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修改文档模板

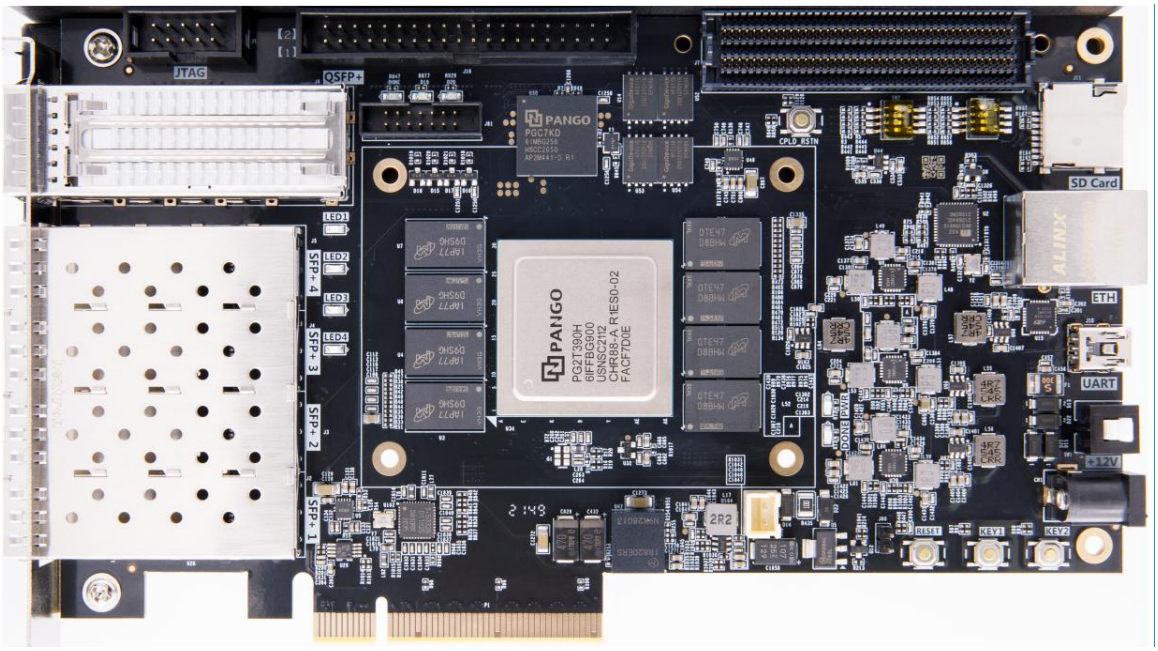
目 录

文档版本控制 2
一、 开发板简介 5
二、 详细参数 8
(一) FPGA 芯片 8
(二) 时钟配置 9
(三) DDR3 12
(四) DDR4 17
(五) QSPI Flash 21
(六) 千兆以太网接口 23
(七) SFP 光纤接口 24
(八) QSFP+光纤接口 27
(九) PCIe 插槽 29
(十) 温度传感器 31
(十一) SD 卡槽 32
(十二) USB 转串口 33
(十三) FMC 连接器 34
(十四) 扩展口 37
(十五) JTAG 接口 39
(十六) 按键 40
(十七) LED 灯 41
(十八) 电源 43
(十九) 风扇 44
(二十) 结构尺寸图 45

基于紫光同创 Titan2 系列的高端 FPGA 开发平台（型号：AXP390）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Titan2 FPGA 开发平台采用一体板的模式，板载了 4 片容量为 2GB 的 DDR4 和 4 片 512MB 的高速 DDR3 SDRAM 芯片，内存总容量高达 10GB。同时 FPGA 芯片配置使用 4 片 128Mb 的 QSPI FLASH 芯片。

外围电路为用户扩展了丰富的接口，比如 1 个 PCIex8 接口、4 路 10G SFP 光纤接口、1 路 40G 的 QSPF+光纤接口、1 路千兆网口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 FMC 扩展接口、一个 40 针的扩展口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款"专业级“的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



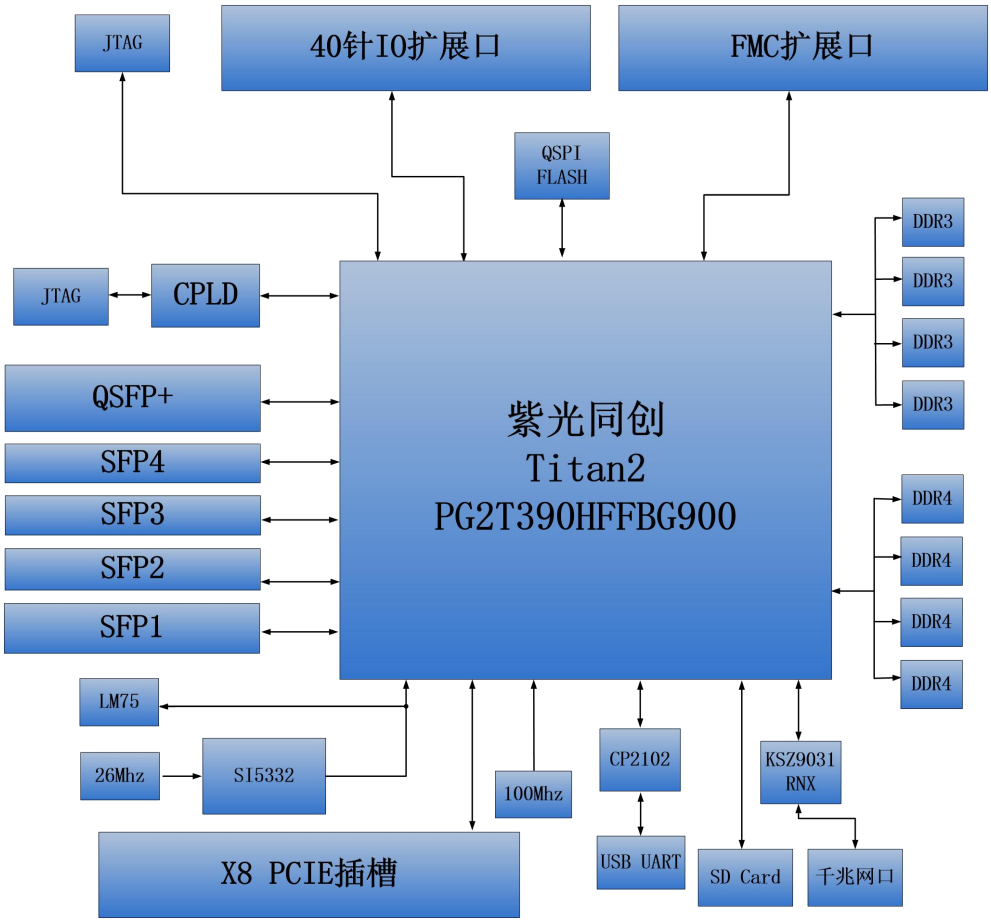
一、 开发板简介

在这里，对这款 AXP390 FPGA 开发平台进行简单的功能介绍。

AXP390 开发板主要由紫光同创 FPGA Titan2 的主芯片、4 个 DDR4、4 个 DDR3L、4 个 QSPI FLASH 和一些外设接口组成。FPGA 采用的芯片型号为 PG2T390HFFBG900。在 HP 端口上连接了 4 片 DDR4 存储芯片组成 64 位的数据带宽，每片 DDR4 容量高达 2GB。HP 端的内存带宽高达 100Gb/s（1600M*64bit)；HR 端口上连接了 4 片 DDR3L 存储芯片组成 64 位的数据带宽，每片容量高达 512MB，内存带宽高达 50Gb/s（800M*64bit)。能够充分满足高速多路数据处理的需求。4 个 128Mb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

板载的外设有 1 个 PCIex8 接口、4 路 10G SFP 光纤接口、1 路 40G 的 QSPF+光纤接口、1 路千兆网口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 FMC 扩展接口、一个 40 针的扩展口和一些按键 LED 等。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到这个开发平台所能实现的功能。

- Titan2 FPGA

采用深圳市紫光同创电子有限公司推出的 Tian 家族第二代全新高性能 28nm 的 FPGA 芯片 PG2T390HFFBG900。

- DDR4

带有 4 片大容量的 2GB（共 8GB）高速 DDR4 SDRAM。可满足数据高带宽存储要求，适合图像分析缓存，数据处理。

- DDR3

带有 4 片大容量的 512M 字节（共 2GB）高速 DDR3 SDRAM。可满足 FPGA 数据大部分存储需求。

- QSPI FLASH

4 片 128Mbit 的 QSPI FLASH 存储芯片，可用作 FPGA 芯片配置文件和用户数据的存储。

- PCIe x8 接口

一路标准的 PCIEx8 接口用于和电脑主板的 PCIE 通信，支持 PCI Express 3.0 标准，单通道通信速率可高达 8Gbps。

- 4 路 SFP 光纤接口

FPGA 的 HSSTHP 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 10Gb/s。

- 1 路 QSFP+光纤接口

FPGA 的 HSSTHP 收发器的 4 路高速收发器连接到 1 个 QSPF+的光模块接口，实现 QSFP+的光纤通信接口。光纤数据通信接收和发送的速度高达 40Gb/s。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 KSZ9031RNX 以太网 PHY 芯片为用户提供网络通信服务。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于 FPGA 对 SD 卡的数据读写和存储。

- 温度传感器

板载一片温度传感器芯片 LM75，用于检测板子周围环境的温度。

- FMC 扩展口

1 个标准的 FMC LPC 的扩展口，可以各种 FMC 模块（HDMI 输入输出模块，高速 AD 模块等等）。

- JTAG 调试口

板载 2 个 JTAG 接口，1 个为 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，1 个为 14 针 2.00mm 的 flash 程序固化接口，用户可以通过紫光同创的 FPGA 下载器进行调试和下载。

- 时钟

板载一个 100Mhz 的差分晶振，给 FPGA 系统提供稳定的时钟源；另外板上有一个多路输出的时钟芯片，为 PCIE、光纤、DDR3 和 DDR4 工作提供参考时钟。

- 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口，可以外接的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等)。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，I/O 口 34 路。

- LED 灯

6 个发光二极管 LED, 1 个电源指示灯；1 个 DONE 配置指示灯；4 个 FPGA 控制指示灯。

- 按键

3 个按键，1 个用于 FPGA 系统复位；2 个用户按键，连接到 FPGA 的普通 IO。

二、 详细参数

(一) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 **PG2T390HFFBG900**，属于紫光同创公司 Titan2 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FFBG900 封装，900 个引脚。紫光同创 Titan2 FPGA 的芯片命名规则如下：

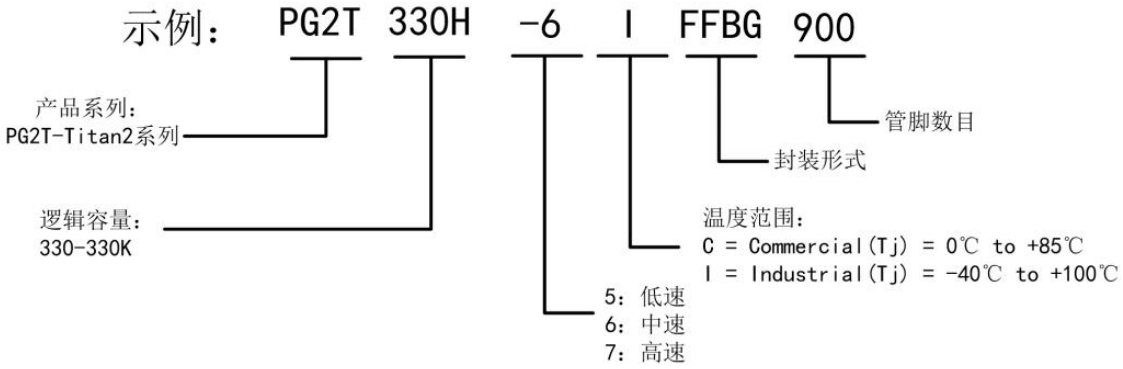


图 2-1-1 为开发板所用的 FPGA 芯片实物图。

图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PG2T390H 的主要参数如下所示：

名称	具体参数
触发器(FF)	487200
查找表 LUT6(LUT6=1.5LUT4)	243600
DRM（36Kbits）个数	480
APM 单元（乘法器）	840
GPLL 个数	10
PPLL 个数	10
ADC 通道	专用模拟通道 1 路；复用模拟通道 11 路
PCIe Gen3 x8	1
HSSTHP	16 路，13.125Gb/s max

速度等级	-6
温度等级	工业级

FPGA 供电系统

Titan2 FPGA 电源有 V_{CC}, V_{CCA}, V_{CC_DRM}, V_{CCB}, V_{CCIO}, V_{VCC_HP}, $V_{HSSTAVCC}$、$V_{HSSTAVCCPLL}$、$V_{HSSTVCCA}$。V_{CC} 为 FPGA 内核供电引脚，需接 1.0V；V_{CCA} 为 FPGA 辅助供电引脚，接 1.8V；V_{CC_DRM} 为 FPGA 的 DRM 供电电压，为 1.0V；V_{CCB} 为秘钥存储器备用电池电源电压需接 1.8V；V_{CCIO} 为 FPGA 的各个 BANK 的电压，包含 L1、L2、L3、L4、L5、L6、L7、R5、R6、R7。L1、L2、L3 因为需要连接 DDR3，BANK 的电压连接的是 1.5V；R5、R6、R7 因为需要连接 DDR4，BANK 的电压连接的是 1.2V；L4、L5 的电压为 3.3V， L6 和 L7 的 V_{CCIO} 出厂设置为 2.5V，用户可根据需要更改 BANK 的电平。V_{VCC_HP} 为 FPGA 的 HP IO 的逻辑电源供电电压，需接 1.0V；$V_{HSSTAVCC}$ 为 FPGA 内部高速串行收发器 HSST 模拟电源电压，接 1.0V；$V_{HSSTAVCCPLL}$ 为 HSST PLL 模拟电源电压，接 1.2V；$V_{HSSTVCCA}$ 为 HSST 的 H PLL 辅助模拟电源电压，接 1.8V。

Titan2 FPGA 系统要求上电顺序分别为先 V_{CC} 供电，再是 V_{CC_DRM}，然后是 V_{CCA}，最后为 V_{CCIO}。断电的顺序则相反。

(二) 时钟配置

AXP390 板上配有 2 个 Sitime 公司的有源晶振，1 个是单端 50MHz 有源晶振,另一个是差分 100MHz 有源差分晶振。另外还有 1 个 8 路输出时钟芯片。50MHz 的晶振型号为 SiT8008-50，100M 差分晶振型号为 SiT9121-100，可作为系统时钟；多路时钟输出芯片采用 Si5332B，板中使用了其中 5 路，其中 2 路输出 100MHz，为 DDR3 与 DDR4 提供参考时钟；另外 3 路为 156.25MHz 时钟，用于 HSST 收发器的参考时钟输入。

1). 50MHz 有源晶振

图 2-2-1 中的 X4 即为 50MHz 有源晶振电路，此时钟接到给 FPGA 内部的全局时钟管脚上，可为 FPGA 提供的参考输入时钟。

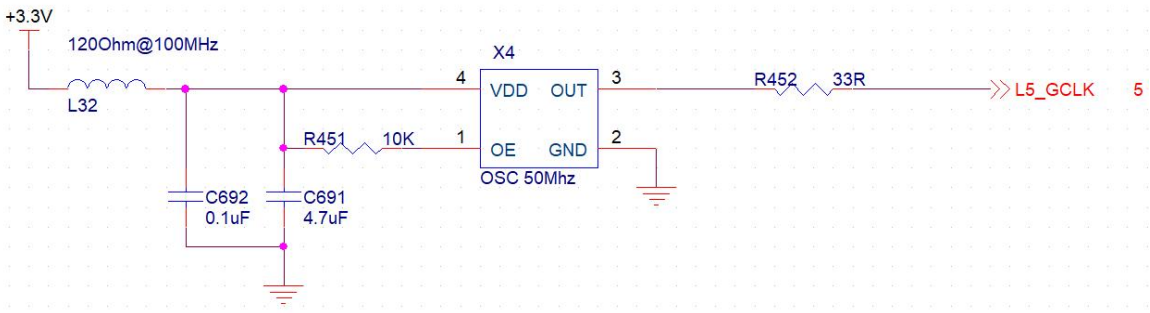


图 2-2-2 50MHz 有源晶振

图 2-2-2 为 50M 有源晶振实物图

图 2-2-2 50M 差分晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
L5_GCLK	T26

2). 100MHz 差分晶振

图 2-2-3 中的 G1 即为 100MHz 有源差分电路，此时钟接到给 FPGA 内部的全局时钟管脚上，可为 FPGA 提供的参考输入时钟，采用 Sitime 的 SiT9121-100MHz，出厂时默认不焊接。

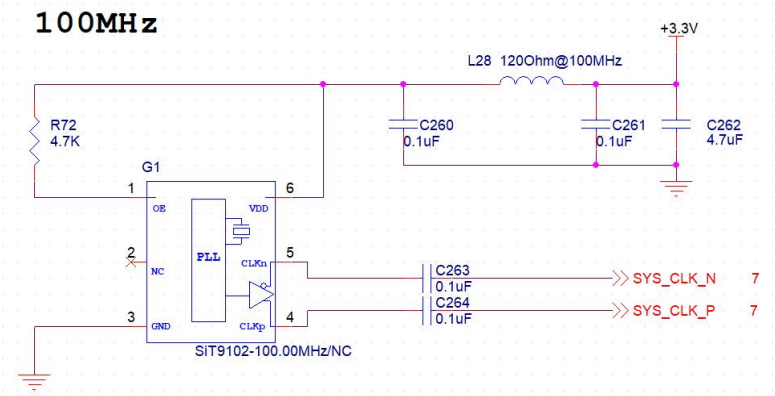


图 2-2-3 100MHz 有源晶振

图 2-2-4 为 100M 差分有源晶振实物图（默认不焊）

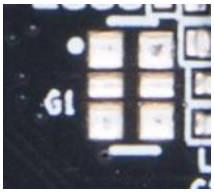


图 2-2-4 100M 差分晶振

时钟引脚分配：

引脚名称	FPGA 引脚
SYS_CLK_P	AD12
SYS_CLK_N	AD11

3). 多路时钟

图 2-2-5 中的 U162 为 Si5332B 的多路时钟电路，此时钟为 DDR3、DRR4、 HSST 模

块提供的参考输入时钟。电路中输出 2 路 100MHz 和 3 路 156.25MHz，分别连接到 DDR3、DDR4 及 HSST BANK 的时钟管脚上。

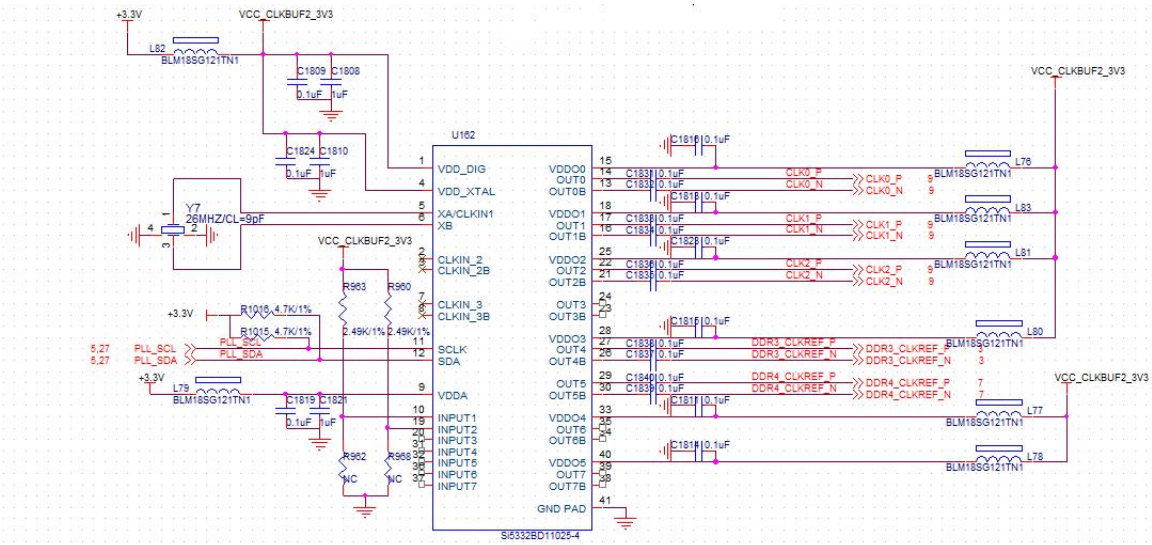


图 2-2-5 Si5332B 时钟电路

图 2-2-6 为 Si5332B 电路实物图

图 2-2-6 Si5332B 实物图

时钟引脚分配：

引脚名称	FPGA 引脚	说明
DDR3_CLKREF_N	E20	DDR3 参考时钟 Negative
DDR3_CLKREF_P	F20	DDR3 参考时钟 Positive
DDR4_CLKREF_N	AH10	DDR4 参考时钟 Negative
DDR4_CLKREF_P	AG10	DDR4 参考时钟 Positive
CLK0_N	R7	HSSTREFCLK0_QR4 的 Negative
CLK0_P	R8	HSSTREFCLK0_QR4 的 Positive
CLK1_N	G7	HSSTREFCLK0_QR2 的 Negative
CLK1_P	G8	HSSTREFCLK0_QR2 的 Positive
CLK2_N	C7	HSSTREFCLK0_QR1 的 Negative

CLK2_P	C8	HSSTREFCLK0_QR1 的 Positive

(三) DDR3

开发板上配有四片 Micron(美光) 的 512MB 的 DDR3 芯片，型号为 MT41K256M16HA-125(兼容 MT41J256M16HA-125)。四片 DDR3 SDRAM 组成 64bit 的总线宽度。因为 4 片 DDR3 芯片连接到 FPGA 的 HR 口，DDR3 SDRAM 的最高数据速率 800Mbps，四片 DDR3 存储系统直接连接到了 FPGA 的 BANK L1, BANK L2，BANK L3 的接口上。DDR3 SDRAM 的具体配置如下表 2-3-1 所示。

表2-3-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U3,U4,U6,U7	MT41K256M16HA-125 或 MT41J256M16HA-125	256M x 16bit	Micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制， 保证 DDR3 的高速稳定的工作。

FPGA 和 DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

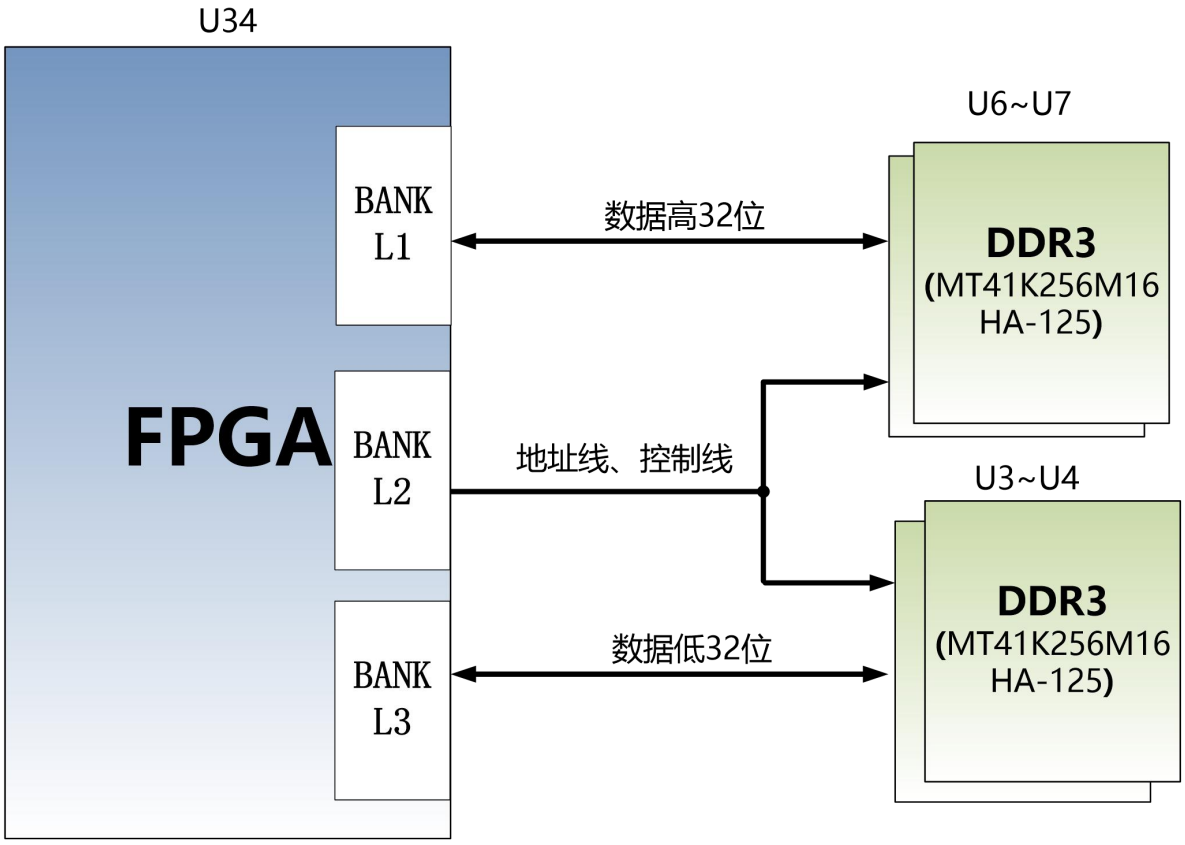


图2-3-1 DDR3 DRAM原理图部分

图 2-3-2 为开发板的 4 片 DDR3 DRAM 实物图

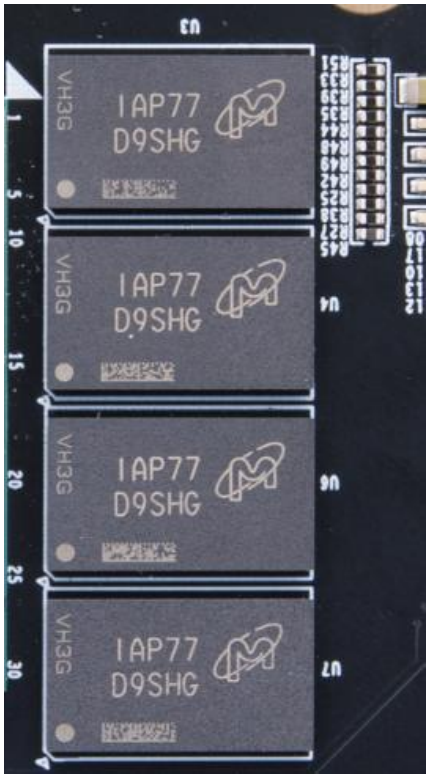


图 2-3-2 4 片 DDR3 DRAM 实物图

4 片 DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚号
DDR3_D0	K13
DDR3_D1	L16
DDR3_D2	J13
DDR3_D3	L15
DDR3_D4	K15
DDR3_D5	L11
DDR3_D6	J14
DDR3_D7	K16
DDR3_D8	H12
DDR3_D9	G14
DDR3_D10	H11
DDR3_D11	G15
DDR3_D12	J11

DDR3_D13	G13
DDR3_D14	J12
DDR3_D15	H14
DDR3_D16	F11
DDR3_D17	D12
DDR3_D18	D13
DDR3_D19	E11
DDR3_D20	F12
DDR3_D21	D11
DDR3_D22	E13
DDR3_D23	A12
DDR3_D24	A13
DDR3_D25	E15
DDR3_D26	E14
DDR3_D27	C15
DDR3_D28	B14
DDR3_D29	A15
DDR3_D30	B13
DDR3_D31	B15
DDR3_D32	D24
DDR3_D33	D23
DDR3_D34	E24
DDR3_D35	F26
DDR3_D36	A23
DDR3_D37	G23
DDR3_D38	E26
DDR3_D39	B23
DDR3_D40	C24
DDR3_D41	A26
DDR3_D42	C25
DDR3_D43	C26
DDR3_D44	B27
DDR3_D45	A27
DDR3_D46	D26
DDR3_D47	A25

DDR3_D48	C30
DDR3_D49	A30
DDR3_D50	D29
DDR3_D51	D27
DDR3_D52	E28
DDR3_D53	C27
DDR3_D54	E29
DDR3_D55	B30
DDR3_D56	H27
DDR3_D57	G29
DDR3_D58	H24
DDR3_D59	H30
DDR3_D60	F28
DDR3_D61	G28
DDR3_D62	H26
DDR3_D63	G30
DDR3_DM0	K14
DDR3_DM1	H15
DDR3_DM2	A11
DDR3_DM3	F15
DDR3_DM4	E23
DDR3_DM5	B24
DDR3_DM6	D28
DDR3_DM7	F30
DDR3_DQS0_N	L13
DDR3_DQS0_P	L12
DDR3_DQS1_N	H16
DDR3_DQS1_P	J16
DDR3_DQS2_N	B12
DDR3_DQS2_P	C12
DDR3_DQS3_N	C14
DDR3_DQS3_P	D14
DDR3_DQS4_N	E25
DDR3_DQS4_P	F25
DDR3_DQS5_N	A28

DDR3_DQS5_P	B28
DDR3_DQS6_N	B29
DDR3_DQS6_P	C29
DDR3_DQS7_N	F27
DDR3_DQS7_P	G27
DDR3_A0	F21
DDR3_A1	H17
DDR3_A2	F22
DDR3_A3	L18
DDR3_A4	E19
DDR3_A5	L17
DDR3_A6	G20
DDR3_A7	H20
DDR3_A8	J18
DDR3_A9	G22
DDR3_A10	D16
DDR3_A11	K18
DDR3_A12	D19
DDR3_A13	H19
DDR3_A14	C21
DDR3_BA0	K19
DDR3_BA1	J17
DDR3_BA2	E21
DDR3_CAS	D21
DDR3_CKE0	C16
DDR3_CLK0_N	D18
DDR3_CLK0_P	D17
DDR3_ODT	H21
DDR3_RAS	C22
DDR3_RESET	J19
DDR3_S0	H22
DDR3_WE	D22

(四) DDR4

AXP390 开发板上配有 4 片 Micron(美光) 的 2GB 的 DDR4 芯片，型号为 MT40A1G16KD-062E，连接在FPGA的HP端，组成64位数据总线带宽和8GB的容量。DDR4 SDRAM的在FPGA端的最高运行数据速率1866Mbps，4片DDR4存储系统直接连接到了BANK R5、R6、R7的存储器接口上。DDR4 SDRAM的具体配置如下表2-4-1所示。

表 2-4-1 DDR4 SDRAM 配置

位号	芯片型号	容量	厂家
U45,U47,U48,U49	MT40A1G16KD-062E	1G x 16bit	Micron

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

FPGA 端的 DDR4 的硬件连接方式如图 2-4-1 所示:

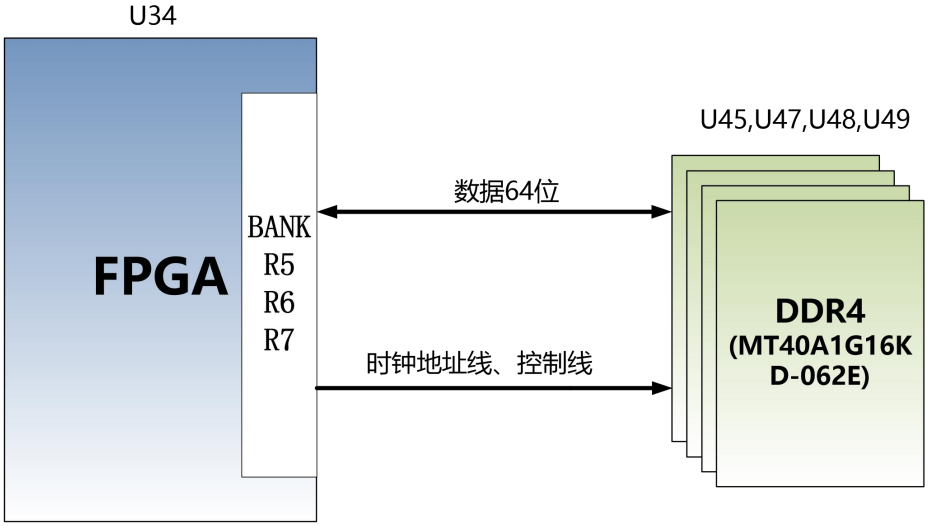


图2-4-1 DDR4 DRAM原理图部分

图 2-4-2 为开发板的 4 片 DDR4 DRAM 实物图

图 2-4-2 4 片 DDR4 DRAM 实物图

DDR4 SDRAM 引脚分配:

信号名称	引脚号
DDR4_D0	AK1
DDR4_D1	AJ4
DDR4_D2	AJ2
DDR4_D3	AJ3
DDR4_D4	AJ1
DDR4_D5	AH6
DDR4_D6	AH2
DDR4_D7	AH5
DDR4_D8	AF2
DDR4_D9	AF6
DDR4_D10	AF1
DDR4_D11	AE5
DDR4_D12	AE1
DDR4_D13	AF5
DDR4_D14	AE4
DDR4_D15	AF3

DDR4_D16	AD3
DDR4_D17	AD6
DDR4_D18	AC2
DDR4_D19	AC4
DDR4_D20	AC1
DDR4_D21	AC7
DDR4_D22	AD4
DDR4_D23	AE6
DDR4_D24	AJ8
DDR4_D25	AF7
DDR4_D26	AJ6
DDR4_D27	AG7
DDR4_D28	AK6
DDR4_D29	AF8
DDR4_D30	AK5
DDR4_D31	AK8
DDR4_D32	AE15
DDR4_D33	AA16
DDR4_D34	AB15
DDR4_D35	Y15
DDR4_D36	AD14
DDR4_D37	Y16
DDR4_D38	AC14
DDR4_D39	AA15
DDR4_D40	AG18
DDR4_D41	AH19
DDR4_D42	AE19
DDR4_D43	AK19
DDR4_D44	AF18
DDR4_D45	AG19
DDR4_D46	AF17
DDR4_D47	AJ19
DDR4_D48	AD16
DDR4_D49	AD18
DDR4_D50	AD17

DDR4_D51	AE18
DDR4_D52	AB17
DDR4_D53	AB19
DDR4_D54	AA18
DDR4_D55	AC19
DDR4_D56	AF15
DDR4_D57	AH17
DDR4_D58	AG15
DDR4_D59	AK16
DDR4_D60	AK15
DDR4_D61	AJ17
DDR4_D62	AH15
DDR4_D63	AE16
DDR4_DM0	AH4
DDR4_DM1	AE3
DDR4_DM2	AC5
DDR4_DM3	AK4
DDR4_DM4	AA17
DDR4_DM5	AD19
DDR4_DM6	AB18
DDR4_DM7	AG14
DDR4_DQS0_N	AH1
DDR4_DQS0_P	AG2
DDR4_DQS1_N	AG3
DDR4_DQS1_P	AG4
DDR4_DQS2_N	AD1
DDR4_DQS2_P	AD2
DDR4_DQS3_N	AJ7
DDR4_DQS3_P	AH7
DDR4_DQS4_N	AC15
DDR4_DQS4_P	AC16
DDR4_DQS5_N	AK18
DDR4_DQS5_P	AJ18
DDR4_DQS6_N	Y18
DDR4_DQS6_P	Y19

DDR4_DQS7_N	AJ16
DDR4_DQS7_P	AH16
DDR4_A0	AB10
DDR4_A1	AA12
DDR4_A2	AB9
DDR4_A3	AJ9
DDR4_A4	AD8
DDR4_A5	AA10
DDR4_A6	AE8
DDR4_A7	AB8
DDR4_A8	Y11
DDR4_A9	AC9
DDR4_A10	AC10
DDR4_A11	AA13
DDR4_A12	AE9
DDR4_A13	AA8
DDR4_ACT_B	AC12
DDR4_BA0	AD9
DDR4_BA1	AG9
DDR4_BG0	AC11
DDR4_CAS_B	AK9
DDR4_CKE	AF10
DDR4_CLK_N	AF11
DDR4_CLK_P	AE11
DDR4_CS_B	AK11
DDR4_OTD	AH9
DDR4_PAR	Y10
DDR4_RAS_B	AB12
DDR4_RST	AA11
DDR4_WE_B	AE10

(五) QSPI Flash

板上使用了 4 片 128Mbit 大小的 QSPI FLASH 芯片，型号为 GD25Q127CYIG，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中， QSPI FLASH 可以作为 FPGA 系

统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、 软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

表2-5-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U14、U52、U53、U54	GD25Q127CYIG	128M Bit	兆易

QSPI FLASH 连接到 CPLD 芯片上，采用 Slave Parallel 模式。图 2-5-1 为 QSPI Flash 在硬件连接示意图，Host 为我们选用 CPLD。

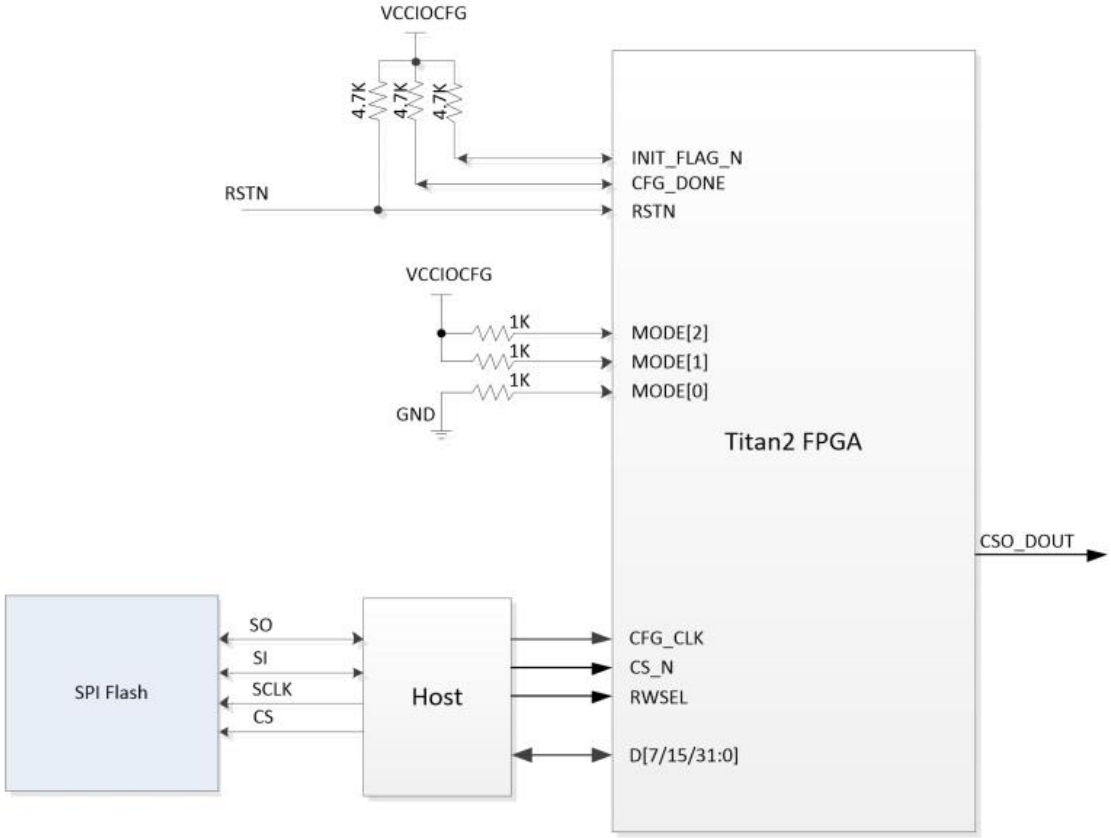


图2-5-1 QSPI Flash连接示意图

图 2-5-2 为开发板上 QSPI Flash 的实物图

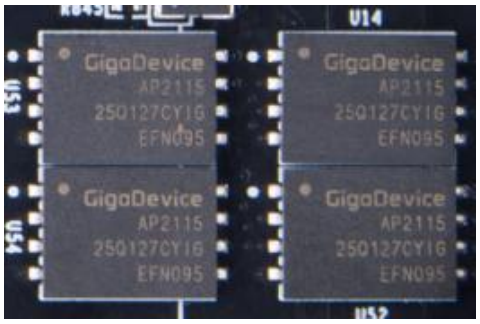


图 2-5-2 QSPI FLASH 部分实物图

(六) 千兆以太网接口

AXP390 开发板上通过一片 KSZ9031RNX 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 Titan2 FPGA 的 IO 接口上。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。KSZ9031RNX 支持MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

KSZ9031RNX 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 2-6-1 描述了 GPHY 芯片上电之后的默认设定信息。

表 2-6-1PHY 芯片默认配置值

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 011
CLK125_EN	使能 125Mhz 时钟输出选择	使能
LED_MODE	LED 灯模式配置	单个 LED 灯模式
MODE0~MODE3	链路自适应和全双工配置	10/100/1000 自适应，兼容全双工、半双工

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

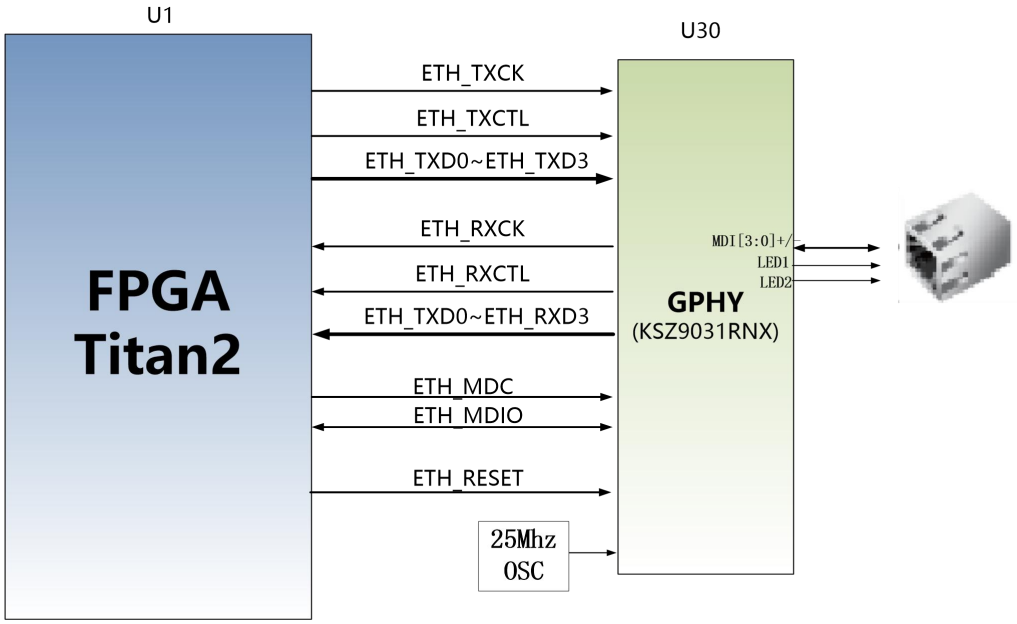


图 2-6-1 为 FPGA 与以太网 PHY 芯片连接示意图:

图 2-6-2 为以太网 PHY 芯片的实物图

图 2-6-2 以太网 PHY 芯片实物图

以太网 PHY 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
PHY1_MDC	Y25	MDIO 管理时钟
PHY1_MDIO	AE26	MDIO 管理数据
PHY1_RESET	AK20	PHY 芯片复位
PHY1_RXC	AE28	RGMII 接收时钟
PHY1_RXDV	AG28	接收数据有效信号
PHY1_RXD0	AK28	接收数据 Bit0
PHY1_RXD1	AG27	接收数据 Bit1
PHY1_RXD2	AJ27	接收数据 Bit2
PHY1_RXD3	AH27	接收数据 Bit3
PHY1_GTXC	AJ26	RGMII 发送时钟
PHY1_TXEN	AH26	发送使能信号
PHY1_TXD0	AF28	发送数据 bit0
PHY1_TXD1	AF27	发送数据 bit1
PHY1_TXD2	AF26	发送数据 bit2
PHY1_TXD3	AK26	发送数据 bit3

(七) SFP 光纤接口

AXP390 扩展板上引出了 4 路 HSST 的作光纤通信接口，用户可以购买 SFP 光模块(市场上 1.25G，10G、2.5G 光模块）插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 FPGA 的 HSST 收发器的 4 路 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 10Gb/s。HSST 收发器的参考时钟由多路时钟

芯片提供。

FPGA 和光纤设计示意图如下图 2-7-1 所示:

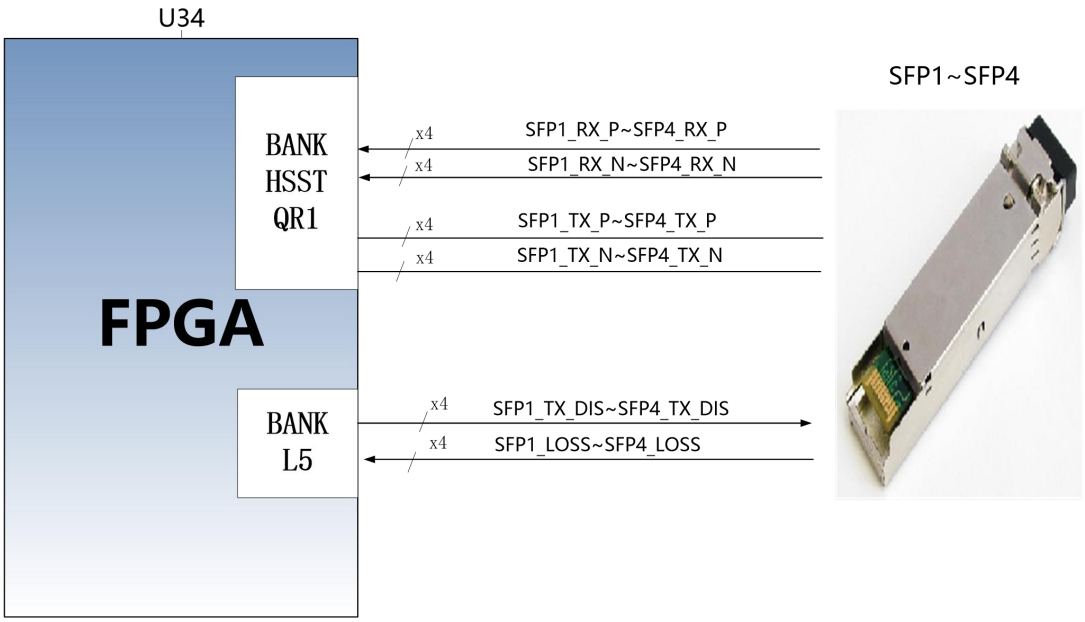


图 2-7-1 光纤设计示意图

两路光纤接口在扩展板的实物图如下图所示:

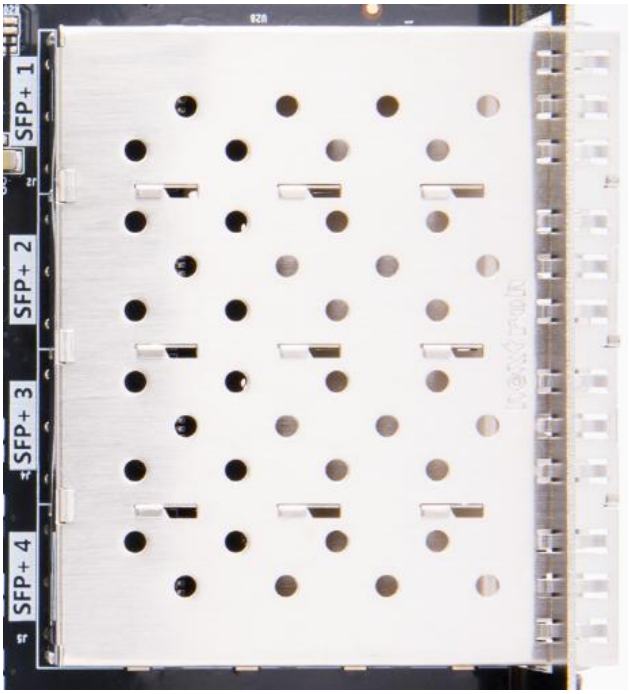


图 2-7-2 两路光纤通信接口实物图

第 1 路光纤接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
SFP1_TX_N	D1	SFP 光模块数据发送 Negative

SFP1_TX_P	D2	SFP 光模块数据发送 Positive
SFP1_RX_N	E3	SFP 光模块数据接收 Negative
SFP1_RX_P	E4	SFP 光模块数据接收 Positive
SFP1_TX_DIS	V19	SFP 光模块光发射禁止，高有效
SFP1_LOSS	V29	SFP 光接收 LOSS 信号，高表示没有接收到光信号
SFP1_IIC_SCL	T27	SFP 光模块 IIC 的时钟
SFP1_IIC_SDA	U27	SFP 光模块 IIC 的数据

第 2 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP2_TX_N	C3	SFP 光模块数据发送 Negative
SFP2_TX_P	C4	SFP 光模块数据发送 Positive
SFP2_RX_N	D5	SFP 光模块数据接收 Negative
SFP2_RX_P	D6	SFP 光模块数据接收 Positive
SFP2_TX_DIS	V20	SFP 光模块光发射禁止，高有效
SFP2_LOSS	V30	SFP 光接收 LOSS 信号，高表示没有接收到光信号
SFP2_IIC_SCL	U28	SFP 光模块 IIC 的时钟
SFP2_IIC_SDA	T25	SFP 光模块 IIC 的数据

第 3 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP3_TX_N	B1	SFP 光模块数据发送 Negative
SFP3_TX_P	B2	SFP 光模块数据发送 Positive
SFP3_RX_N	B5	SFP 光模块数据接收 Negative
SFP3_RX_P	B6	SFP 光模块数据接收 Positive
SFP3_TX_DIS	W23	SFP 光模块光发射禁止，高有效
SFP3_LOSS	V25	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 4 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP4_TX_N	A3	SFP 光模块数据发送 Negative
SFP4_TX_P	A4	SFP 光模块数据发送 Positive

SFP4_RX_N	A7	SFP 光模块数据接收 Negative
SFP4_RX_P	A8	SFP 光模块数据接收 Positive
SFP4_TX_DIS	W24	SFP 光模块光发射禁止，高有效
SFP4_LOSS	W26	SFP 光接收 LOSS 信号，高表示没有接收到光信号

(八) QSFP+光纤接口

开发板上有一个四小体积可插入 QSFP+的光纤接口。光纤收发器集成了 4 传送通道和 4 接收通道，这种 4 通道的可插拔接口传输速率达到了 40Gbps。满足用户对更高密度的高速可插拔光纤通信解决方案。

QSFP+的光纤接口的收发信号直接跟 FPGA 的 BANK HSST_QR2 收发器相连接，光纤的 4 路 TX 信号和 RX 信号都是直接跟 HSST 的收发器连接，因为单路 HSST 的速率高达 13.125Gbps 带宽，所以 4 路光纤接口的速度可以高达 40Gbps。收发器的参考时钟由多路时钟芯片 Si5332B 提供。

开发板的 QSFP+的光纤设计示意图如下图 2-8-1 所示，其中光纤的控制信号连接到 FPGA 的 BANK L5。

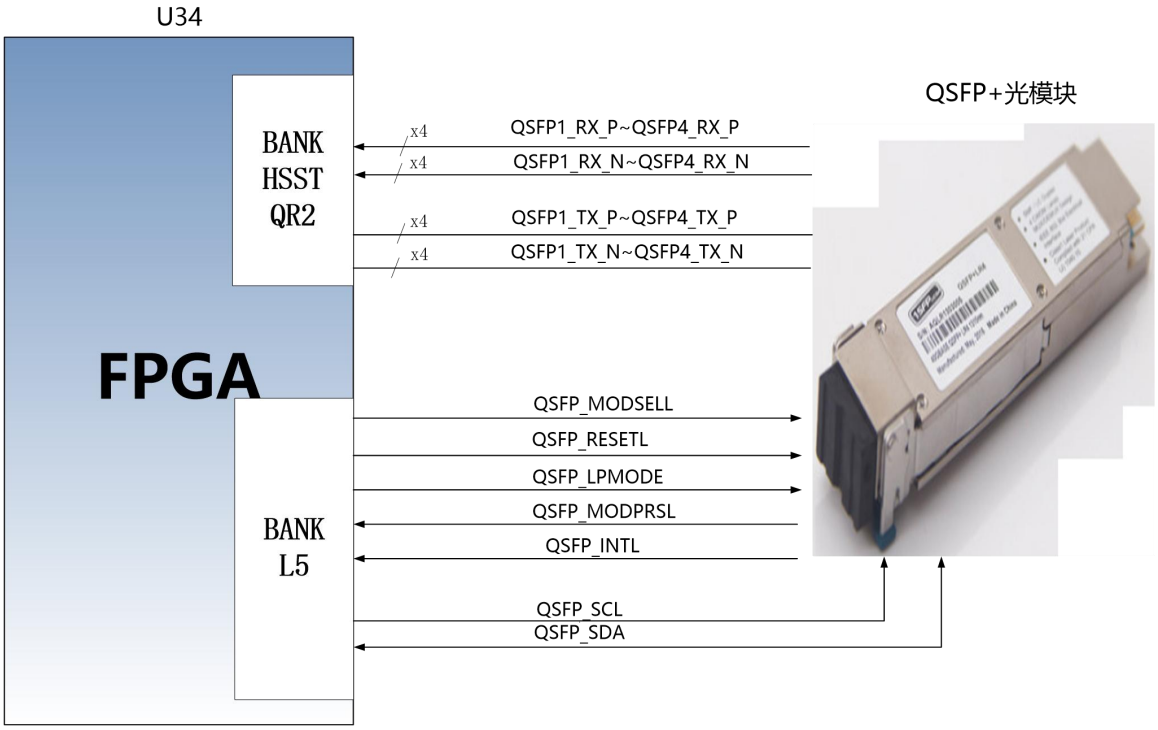


图 2-8-1 QSFP+光纤设计示意图

QSFP+光纤接口在开发板上的实物图如下图 2-8-2 所示:

图 2-8-2 QSFP+光纤通信接口实物图

QSFP+光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
QSFP1_TX_N	K1	QSFP+第一路数据发送 Negative
QSFP1_TX_P	K2	QSFP+第一路数据发送 Positive
QSFP2_TX_N	J3	QSFP+第二路数据发送 Negative
QSFP2_TX_P	J4	QSFP+第二路数据发送 Positive
QSFP3_TX_N	H1	QSFP+第三路数据发送 Negative
QSFP3_TX_P	H2	QSFP+第三路数据发送 Positive
QSFP4_TX_N	F1	QSFP+第四路数据发送 Negative
QSFP4_TX_P	F2	QSFP+第四路数据发送 Positive
QSFP1_RX_N	K5	QSFP+第一路数据接收 Negative
QSFP1_RX_P	K6	QSFP+第一路数据接收 Positive
QSFP2_RX_N	H5	QSFP+第二路数据接收 Negative
QSFP2_RX_P	H6	QSFP+第二路数据接收 Positive
QSFP3_RX_N	G3	QSFP+第三路数据接收 Negative
QSFP3_RX_P	G4	QSFP+第三路数据接收 Positive
QSFP4_RX_N	F5	QSFP+第四路数据接收 Negative
QSFP4_RX_P	F6	QSFP+第四路数据接收 Positive
QSFP_MODSELL	U22	模式选择，低电平 I2C 有效
QSFP_RESETL	U23	复位信号，低电平复位
QSFP_MODPRSL	V21	光模块存在信号，低电平有效
QSFP_INTL	V22	中断信号，低电平有效

QSFP_LPMODE	U24	低功耗模式选择
QSFP_SCL	W21	I2C 时钟信号
QSFP_SDA	W22	I2C 数据信号

(九) PCIe 插槽

开发板上有一个 PCIe x8 的接口，PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PC 的 x8 PCIe 插槽上使用。开发板和电脑之间能实现 PCIEex8，PCIEex4, PCIex2, PCIex1 的数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK HSST 相连接，8 路 TX 信号和 RX 信号都是以差分信号方式连接到 BANK HSST 的 QR3 与 QR4 上，支持 PCI Express 3.0 标准，单通道通信速率可高达 8Gbps。

开发板的 PCIe 接口的设计示意图如下图 2-9-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

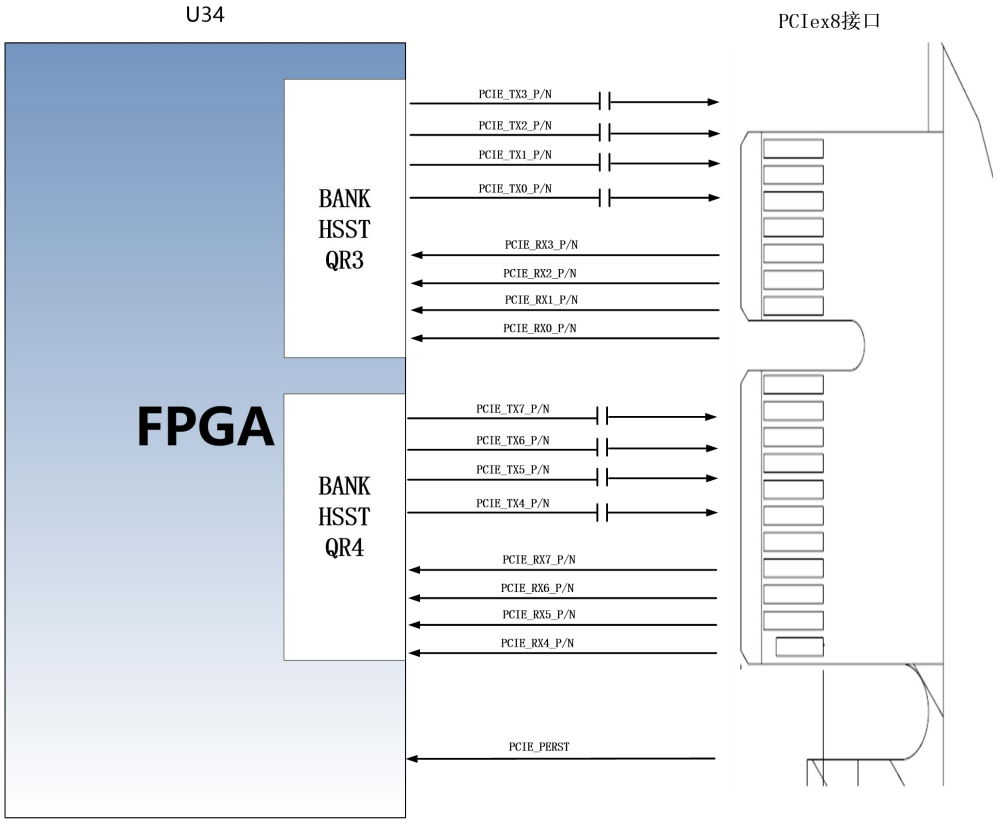


图 2-9-1 PCIe x 8 接口设计示意图

PCIex8 接口在的实物图如下图 2-9-2 所示:

图 2-9-2 PCIe x8 接口实物图

PCIe x8 接口 FPGA 引脚分配如下：

信号名称	FPGA 引脚	备注
PCIE_CLK_N	L7	PCIE 参考时钟 Negative
PCIE_CLK_P	L8	PCIE 参考时钟 Positive
PCIE_PERST	V24	PCIE 板卡的复位信号
PCIE_RX0_N	M5	PCIE 通道 0 数据接收 Negative
PCIE_RX0_P	M6	PCIE 通道 0 数据接收 Positive
PCIE_RX1_N	P5	PCIE 通道 1 数据接收 Negative
PCIE_RX1_P	P6	PCIE 通道 1 数据接收 Positive
PCIE_RX2_N	R3	PCIE 通道 2 数据接收 Negative
PCIE_RX2_P	R4	PCIE 通道 2 数据接收 Positive
PCIE_RX3_N	T5	PCIE 通道 3 数据接收 Negative
PCIE_RX3_P	T6	PCIE 通道 3 数据接收 Positive
PCIE_RX4_N	V5	PCIE 通道 4 数据接收 Negative
PCIE_RX4_P	V6	PCIE 通道 4 数据接收 Positive
PCIE_RX5_N	W3	PCIE 通道 5 数据接收 Negative
PCIE_RX5_P	W4	PCIE 通道 5 数据接收 Positive
PCIE_RX6_N	Y5	PCIE 通道 6 数据接收 Negative
PCIE_RX6_P	Y6	PCIE 通道 6 数据接收 Positive
PCIE_RX7_N	AA3	PCIE 通道 7 数据接收 Negative
PCIE_RX7_P	AA4	PCIE 通道 7 数据接收 Positive
PCIE_TX0_N	L3	PCIE 通道 0 数据发送 Negative
PCIE_TX0_P	L4	PCIE 通道 0 数据发送 Positive
PCIE_TX1_N	M1	PCIE 通道 1 数据发送 Negative
PCIE_TX1_P	M2	PCIE 通道 1 数据发送 Positive

PCIE_TX2_N	N3	PCIE 通道 2 数据发送 Negative
PCIE_TX2_P	N4	PCIE 通道 2 数据发送 Positive
PCIE_TX3_N	P1	PCIE 通道 3 数据发送 Negative
PCIE_TX3_P	P2	PCIE 通道 3 数据发送 Positive
PCIE_TX4_N	T1	PCIE 通道 4 数据发送 Negative
PCIE_TX4_P	T2	PCIE 通道 4 数据发送 Positive
PCIE_TX5_N	U3	PCIE 通道 5 数据发送 Negative
PCIE_TX5_P	U4	PCIE 通道 5 数据发送 Positive
PCIE_TX6_N	V1	PCIE 通道 6 数据发送 Negative
PCIE_TX6_P	V2	PCIE 通道 6 数据发送 Positive
PCIE_TX7_N	Y1	PCIE 通道 7 数据发送 Negative
PCIE_TX7_P	Y2	PCIE 通道 7 数据发送 Positive

(十) 温度传感器

AXP390 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75A。LM75A 芯片的温度精度为 0.125 度,传感器和 FPGA 直接为 I2C 数字接口，FPGA 通过 I2C 接口来读取当前开发板附近的温度。下图 2-10-1 为 LM75A 传感器芯片的设计示意图

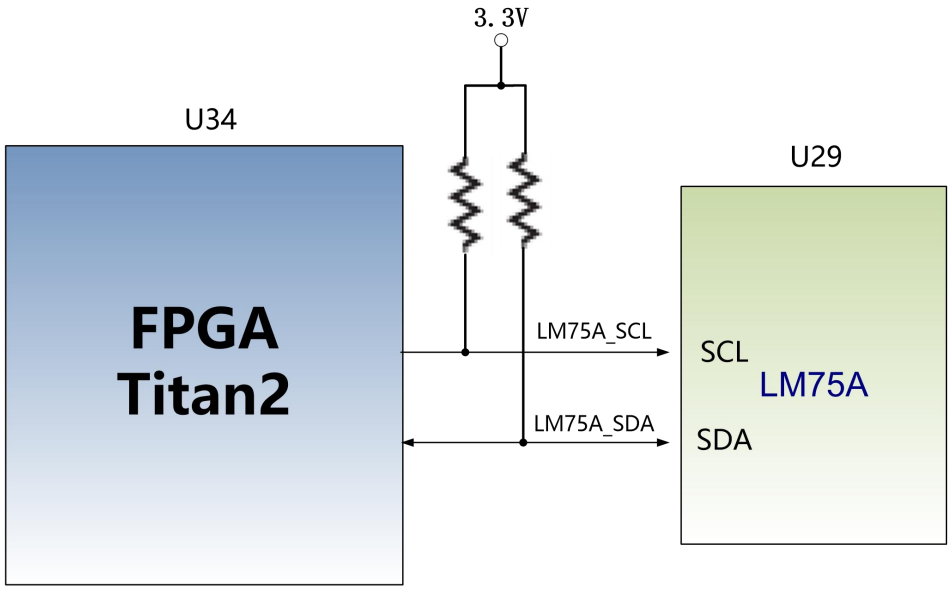


图 2-10-1 LM75A 传感器原理图部分

下图为 LM75A 传感器实物图

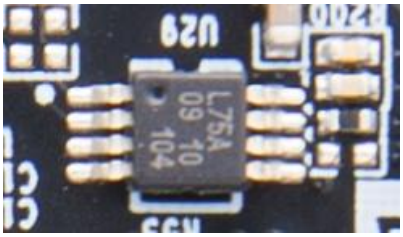


图 2-10-2 LM75A 传感器实物图

LM75A 传感器引脚分配：

引脚名称	FPGA 引脚
PLL_SCL	W19
PLL_SDA	R19

(十一) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM，Microsoft，Motorola，NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图 2-11-1 所示。

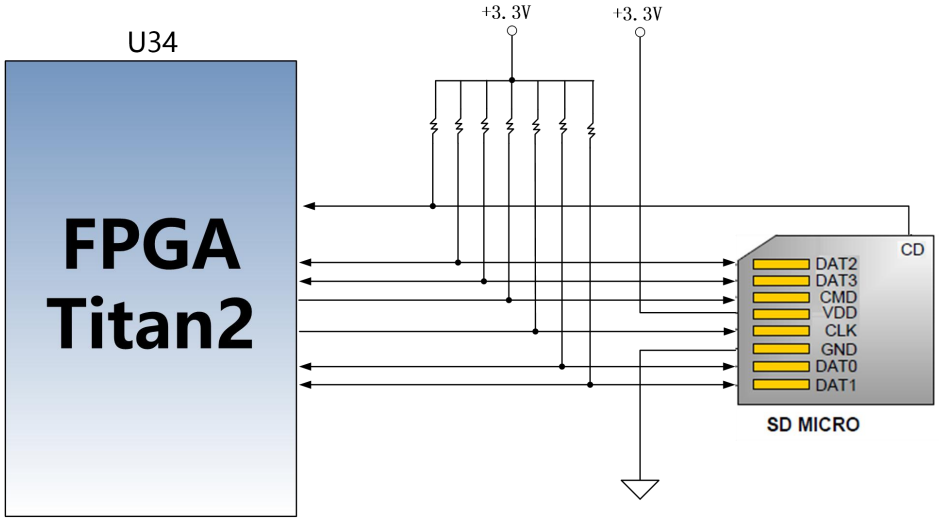


图 2-11-1 SD 卡槽原理图

图 2-11-2 为开发板上 SD 卡槽实物图

图 2-11-2 SD 卡槽实物图

SD 卡槽引脚分配

SD 模式	
引脚名称	**FPGA 引脚**
SD_CLK	N21
SD_CD	P23
SD_CMD	N22
SD_D0	N25
SD_D1	N26
SD_D2	N19
SD_D3	N20

(十二) USB 转串口

AXP390 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信 。

USB Uart 电路设计的示意图如下图所示:

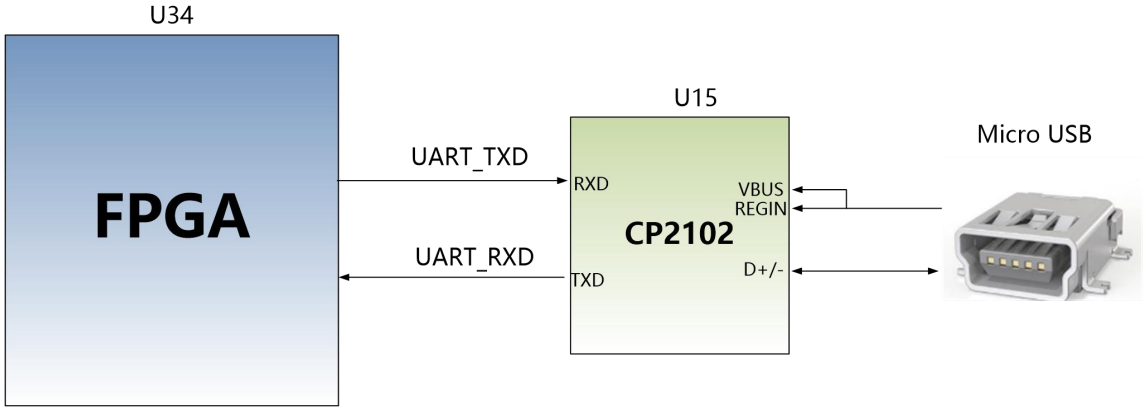


图 2-12-1 USB 转串口示意图

下图为 USB 转串口的实物图

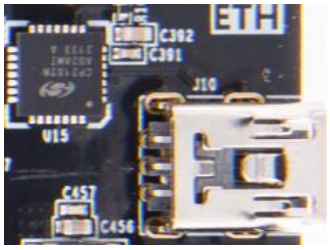


图 2-12-2 USB 转串口实物图

UART 转串口的 FPGA 引脚分配：

引脚名称	FPGA 引脚
UART_RXD	P21
UART_TXD	P22

(十三) FMC 连接器

AXP390 开发板带有一个标准的 FMC LPC 的扩展口，可以外接我们黑金的各种 FMC 模块（HDMI 输入输出模块，高速 AD 模块等等）。FMC 扩展口包含 34 对差分 IO 信号和一路 I2C 总线信号。

FMC 扩展口的 33 对差分信号连接到 FPGA 芯片的 BANK12, BANK13 的 IO 上，BANK12 和 BANK13 的 IO 电平标准是由 BANK 的电压 VADJ 决定的，默认为+2.5V，使得连接 FMC 的 34 对差分信号支持 LVDS 数据通信。FPGA 和 FMC 连接器的原理图如图 2-13-1 所示。

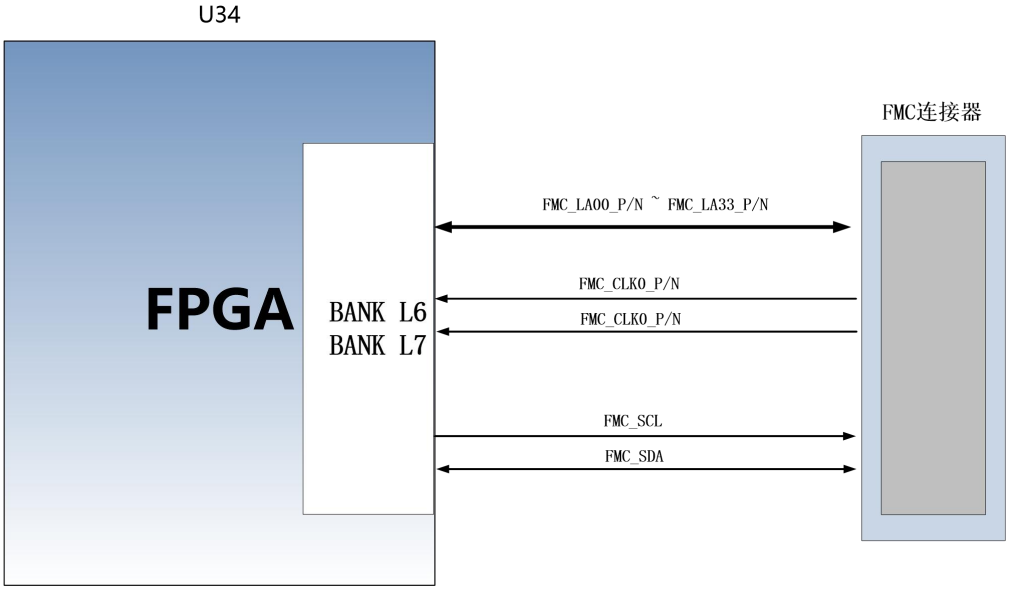


图 2-13-1 FMC 连接器连接示意图

图 2-13-2 为开发板上 FMC 连接器实物图

图 2-13-2 FMC 连接器实物图

FMC 连接器引脚分配

信号名称	FPGA 引脚号	备注
FMC_CLK0_N	AC27	FMC参考第1路参考时钟N
FMC_CLK0_P	AB27	FMC参考第1路参考时钟P
FMC_CLK1_N	AG23	FMC参考第2路参考时钟N
FMC_CLK1_P	AF22	FMC参考第2路参考时钟P
FMC_LA00_CC_N	AH29	FMC参考第0路数据（时钟）N
FMC_LA00_CC_P	AG29	FMC参考第0路数据（时钟）P
FMC_LA01_CC_N	AD28	FMC参考第1路数据（时钟）N
FMC_LA01_CC_P	AD27	FMC参考第1路数据（时钟）P
FMC_LA02_N	AK30	FMC参考第2路数据N
FMC_LA02_P	AK29	FMC参考第2路数据P
FMC_LA03_N	AJ29	FMC参考第3路数据N
FMC_LA03_P	AJ28	FMC参考第3路数据P
FMC_LA04_N	AH30	FMC参考第4路数据N
FMC_LA04_P	AG30	FMC参考第4路数据P
FMC_LA05_N	AD26	FMC参考第5路数据N
FMC_LA05_P	AC26	FMC参考第5路数据P
FMC_LA06_N	AB25	FMC参考第6路数据N
FMC_LA06_P	AA25	FMC参考第6路数据P
FMC_LA07_N	AE29	FMC参考第7路数据N
FMC_LA07_P	AD29	FMC参考第7路数据P
FMC_LA08_N	AF30	FMC参考第8路数据N
FMC_LA08_P	AE30	FMC参考第8路数据P
FMC_LA09_N	AA26	FMC参考第9路数据N

FMC_LA09_P	Y26	FMC参考第9路数据P
FMC_LA10_N	AC30	FMC参考第10路数据N
FMC_LA10_P	AC29	FMC参考第10路数据P
FMC_LA11_N	AA28	FMC参考第11路数据N
FMC_LA11_P	Y28	FMC参考第11路数据P
FMC_LA12_N	AB30	FMC参考第12路数据N
FMC_LA12_P	AB29	FMC参考第12路数据P
FMC_LA13_N	AB28	FMC参考第13路数据N
FMC_LA13_P	AA27	FMC参考第13路数据P
FMC_LA14_N	W28	FMC参考第14路数据N
FMC_LA14_P	W27	FMC参考第14路数据P
FMC_LA15_N	Y29	FMC参考第15路数据N
FMC_LA15_P	W29	FMC参考第15路数据P
FMC_LA16_N	AA30	FMC参考第16路数据N
FMC_LA16_P	Y30	FMC参考第16路数据P
FMC_LA17_CC_N	AH24	FMC参考第17路数据（时钟）N
FMC_LA17_CC_P	AG24	FMC参考第17路数据（时钟）P
FMC_LA18_CC_N	AE24	FMC参考第18路数据（时钟）N
FMC_LA18_CC_P	AD23	FMC参考第18路数据（时钟）P
FMC_LA19_N	AK24	FMC参考第19路数据N
FMC_LA19_P	AK23	FMC参考第19路数据P
FMC_LA20_N	AK25	FMC参考第20路数据N
FMC_LA20_P	AJ24	FMC参考第20路数据P
FMC_LA21_N	AF21	FMC参考第21路数据N
FMC_LA21_P	AF20	FMC参考第21路数据P
FMC_LA22_N	AH25	FMC参考第22路数据N
FMC_LA22_P	AG25	FMC参考第22路数据P
FMC_LA23_N	AC21	FMC参考第23路数据N
FMC_LA23_P	AC20	FMC参考第23路数据P
FMC_LA24_N	AF23	FMC参考第24路数据N
FMC_LA24_P	AE23	FMC参考第24路数据P
FMC_LA25_N	AE21	FMC参考第25路数据N

FMC_LA25_P	AD21	FMC参考第25路数据P
FMC_LA26_N	AB23	FMC参考第26路数据N
FMC_LA26_P	AB22	FMC参考第26路数据P
FMC_LA27_N	Y24	FMC参考第27路数据N
FMC_LA27_P	Y23	FMC参考第27路数据P
FMC_LA28_N	AD22	FMC参考第28路数据N
FMC_LA28_P	AC22	FMC参考第28路数据P
FMC_LA29_N	AF25	FMC参考第29路数据N
FMC_LA29_P	AE25	FMC参考第29路数据P
FMC_LA30_N	AC25	FMC参考第30路数据N
FMC_LA30_P	AB24	FMC参考第30路数据P
FMC_LA31_N	AD24	FMC参考第31路数据N
FMC_LA31_P	AC24	FMC参考第31路数据P
FMC_LA32_N	AA21	FMC参考第32路数据N
FMC_LA32_P	Y21	FMC参考第32路数据P
FMC_LA33_N	AA23	FMC参考第33路数据N
FMC_LA33_P	AA22	FMC参考第33路数据P
FMC_PRSNT	M24	FMC 复位，低有效
FMC_SCL	M22	FMC I2C总线时钟
FMC_SDA	M23	FMC I2C总线数据

(十四) 扩展口

开发板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J16，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J16)的电路如下图 2-14-1 所示

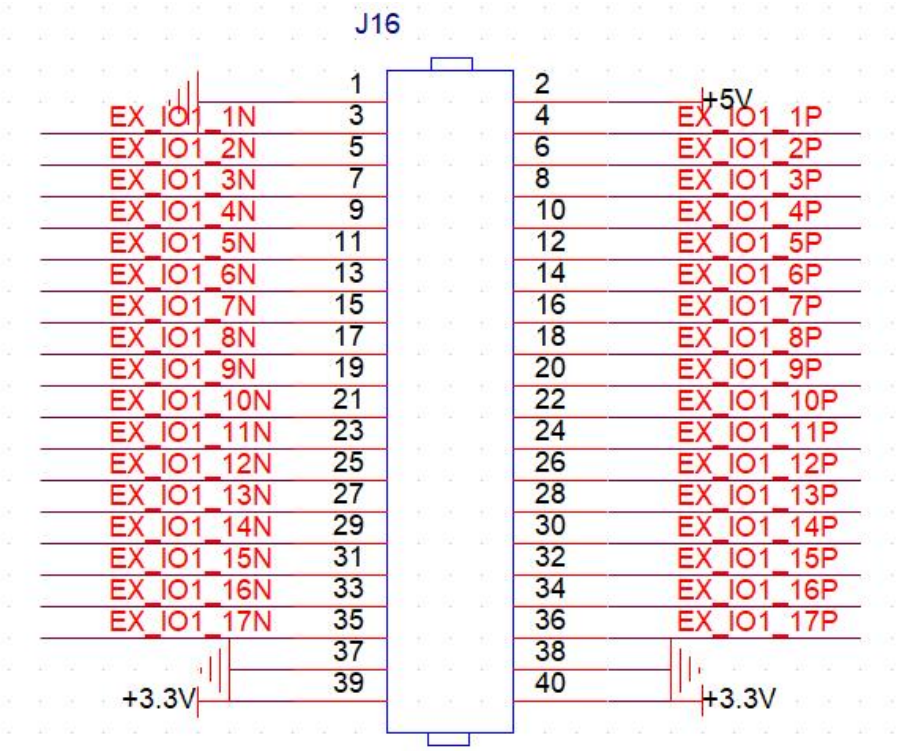


图 2-14-1 扩展口 J16 原理图

下图为 J16 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

图 2-14-2 扩展口 J16 实物图

J16 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	**2**	+5V
3	J24	**4**	J23
5	J22	**6**	J21
7	J26	**8**	K26
9	K30	**10**	L30
11	L28	**12**	M28
13	M27	**14**	N27
15	N30	**16**	N29
17	L27	**18**	L26

19	J28	**20**	J27
21	H29	**22**	J29
23	K29	**24**	K28
25	L20	**26**	M20
27	K21	**28**	L21
29	L23	**30**	L22
31	K24	**32**	K23
33	K25	**34**	L25
35	M30	**36**	M29
37	GND	**38**	GND
39	+3.3V	**40**	+3.3V

(十五) JTAG 接口

开发板预留了 2 个 JTAG 接口，1 个 10 针 间距 2.54mm 的 JTAG 接口和 1 个 14 针 间距 2.00mmJTAG 接口。用于调试 FPGA 程序和固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 和 CPLD 接受的范围，避免器件损坏。

1）10 针 JTAG 接口

10 针间距 2.54mm 的 JTAG 接口连接到 FPGA 芯片，其作用主要用于 FPGA 程序调试，不能用此 JTAG 接口进行程序固化。其原理图如下：

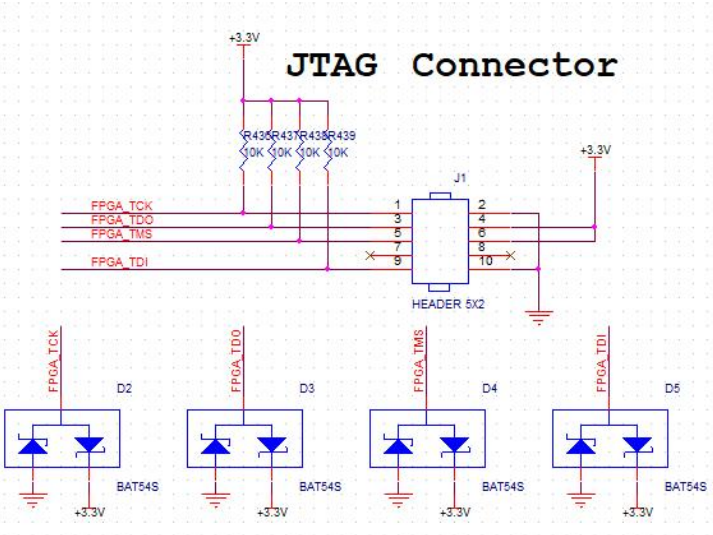


图 2-15-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。

图 2-15-2 JTAG 接口实物图

2）14 针 JTAG 接口

14 针间距 2.00mm 的 JTAG 接口连接到 CPLD 芯片，其作用可通过此接口固化程序到 4 片 QSPI flash，利用 CPLD 快速加载程序到 FPGA，满足 PCIe 上电要求，此 JTAG 接口可用来固化 FPGA 程序到 flash 中。其原理图如下：

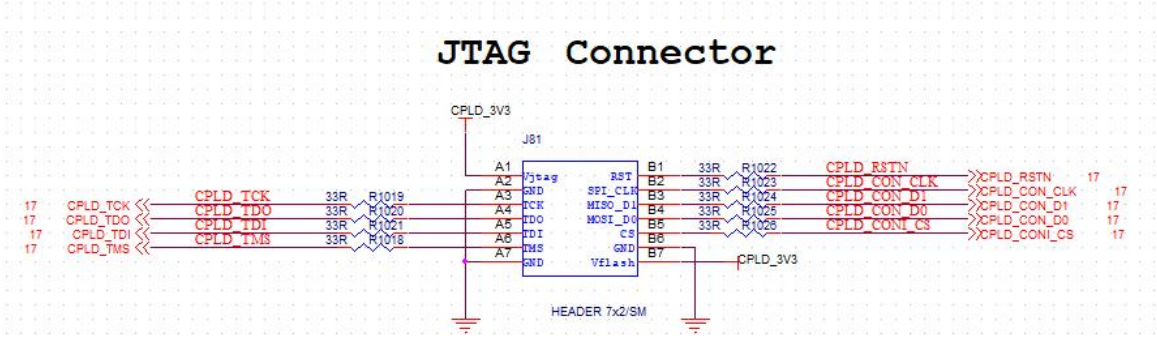


图 2-15-3 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。

图 2-15-4 JTAG 接口实物图

固化程序时采取从并模式加载， 下载器连接 14 针的 JTAG，将拨动开关 SW2 的开关 1、2、3 分别设置:1：OFF，2：ON，3：ON，即 mode[2:0]=110，并且将拨动开关 SW3 的设置 1：OFF，2：ON 即可。

(十六) 按键

开发板上有 3 个按键 RESET、KEY1、KEY2，RESET 个用于 FPGA 系统复位，用户不能编程；KEY1、KEY2 是 2 个用户按键，连接到 FPGA 的普通 IO 按键按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下时，FPGA 的 IO 输入电压为高。按键部分电

路如下图 2-16-1 所示

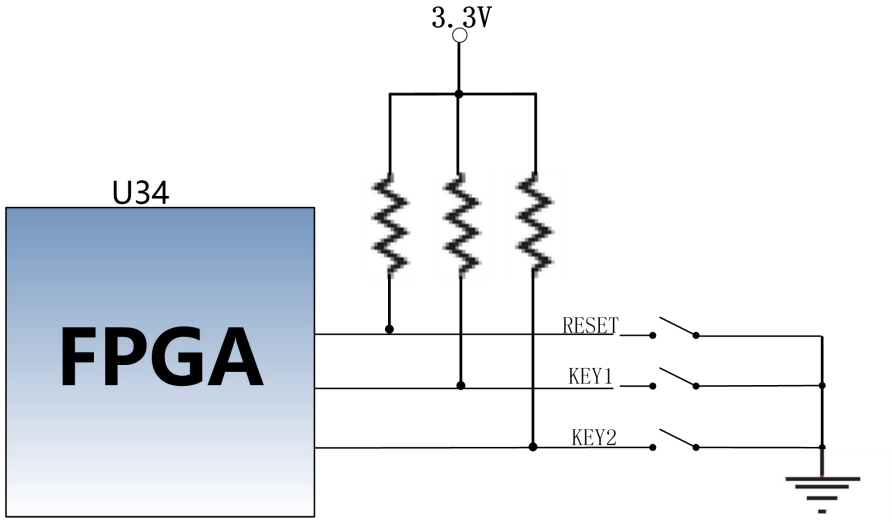


图 2-16-1 按键硬件设计示意图

图 2-16-2 为开发板上 3 个按键实物图

图 2-16-2 按键实物图

用户按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
KEY1	R28
KEY2	T28

(十七) LED 灯

开发板上有 6 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是程序配置指示灯（DONE），4 个是用户 LED 灯（LED1~LED4）。当开发板供电后，电源指示灯会亮起。程序加载完成后 DONE 灯会亮，用户 LED1~LED4 通过三极管连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为高电平时，用户 LED 灯点亮，当连接 IO 电压配置为低电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 2-17-1 所示

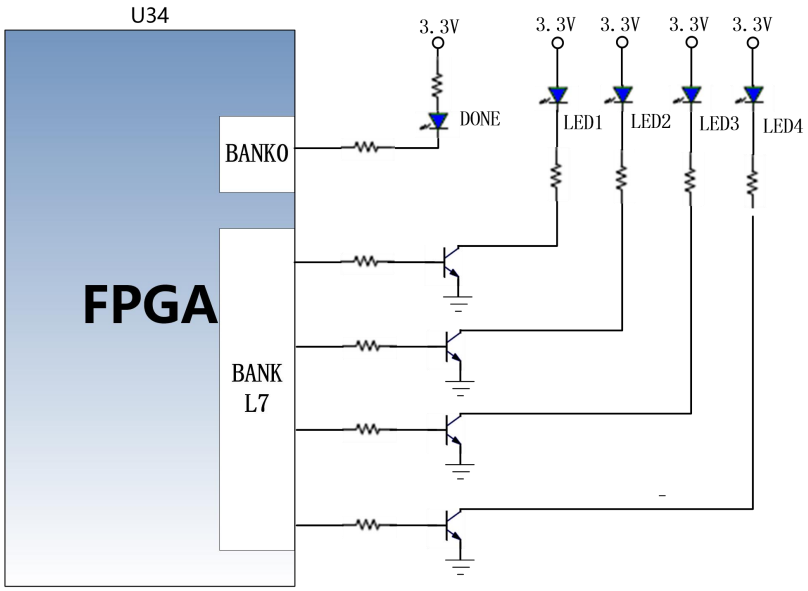


图 2-17-1 LED 灯硬件设计示意图

图 2-17-2 为扩展板上 8 个用户 LED 灯实物图

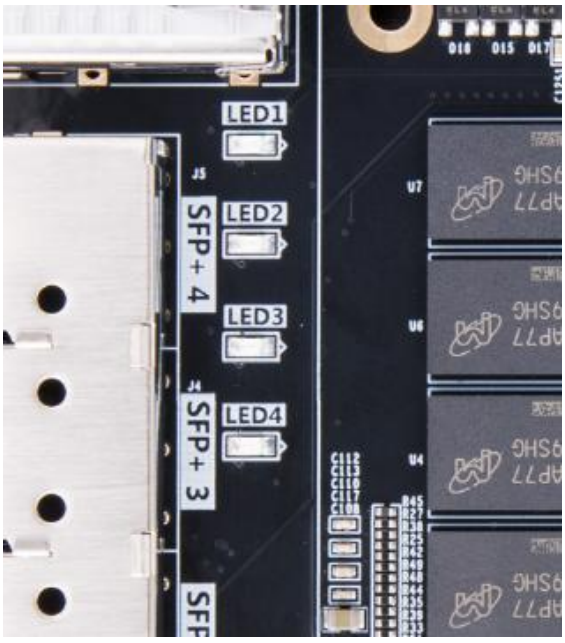


图 2-17-2 用户 LED 灯实物图

LED 灯 FPGA 引脚分配：

引脚名称	FPGA 引脚
LED1	AJ22
LED2	AJ23
LED3	AG20
LED4	AH20

(十八) 电源

开发板的电源输入电压为 DC12V，外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。+12V 输入电源通过 DCDC 电源芯片 MYMGK1R820 产生+1.0V 的 FPGA 核心电源，输出电流高达 20A，满足 FPGA 的核心电压的电流需求。另外+12V 通过 3 路 DC/DC 电源芯片 ETA1471FT2G 分别产生 2 路+5V 和+3.3V 这 3 路电源。其中 1 路+5V 电源再通过 DCDC 芯片 ETA9351Q4Y 来产生+1.8V, +1.5V,VADJ（+2.5V)、VCCA_IO_GO、+1.2V 这 5 路电源，给 FPGA 外设、DDR3、DDR4 供电。另外 1 路+5V 电源再通过 DCDC 芯片 ETA9351Q4Y 产生 HSST 所需的+1.2V（HSST_AVTT）电源，+1.8V（HSST_VCCA)，+1.2V（网络芯片）电源这 3 路电源；同时通过 DCDC 芯片 ETA8156FT2G 产生 HSST 所需的+1.0V（HSST_AVCC）电源。此外 DDR3 和 DDR4 的 VTT 和 VREF 电压由 SY6355DBC 芯片来产生，FPGA 的 ADC 参考电压由 CYT432 芯片产生。

板上的电源设计示意图如下图 2-18-1 所示:

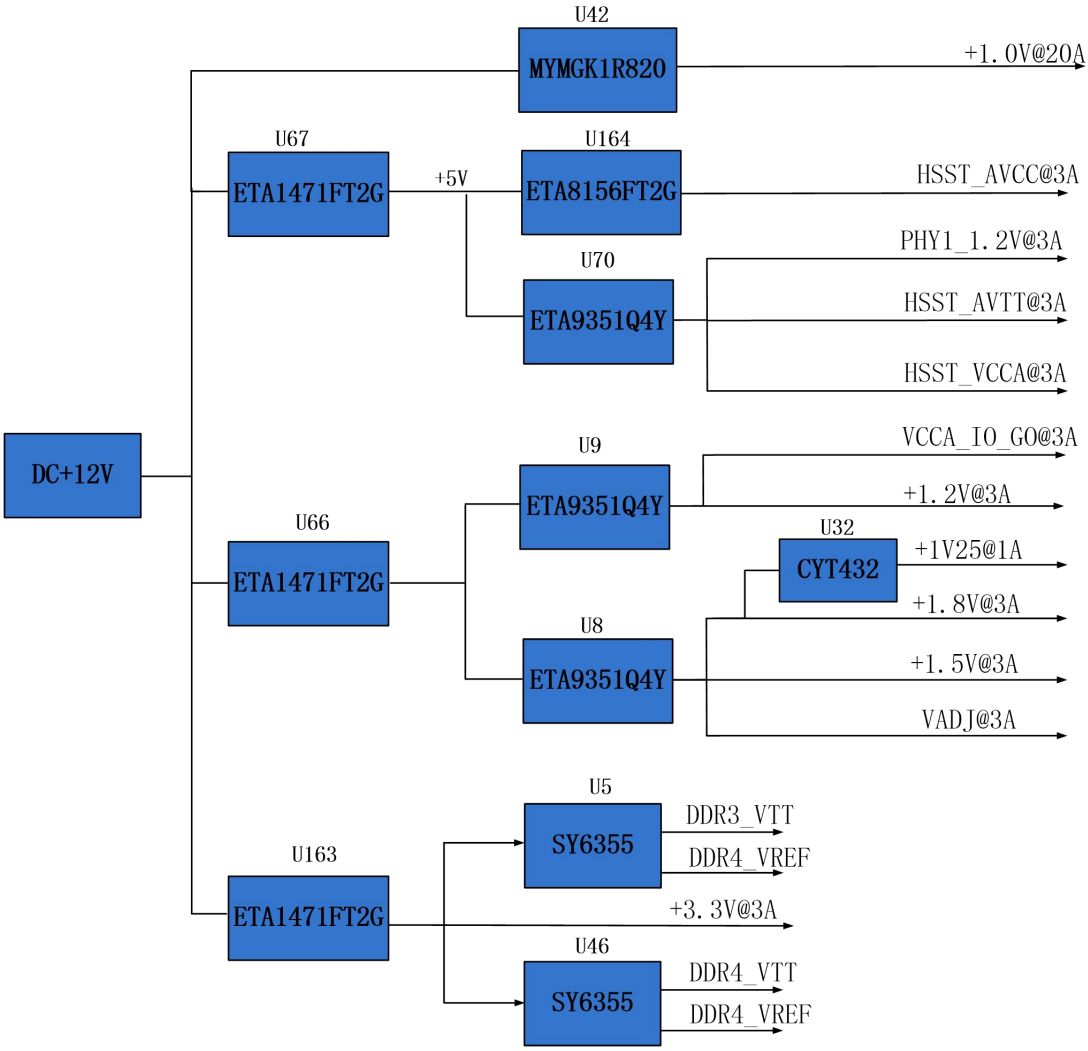


图 2-18-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+1.0V	FPGA 的内核电压，DRM 电源
+3.3V	FPGA Bank0,Bank L4， Bank L5， QSIP FLASH, Clock 晶振, SD 卡，SFP 光模块
+1.8V	FPGA 辅助电压，网络芯片
VCCA_IO_GO	IO 专用模拟电源
+1.5V	DDR3，FPGA Bank L1,Bank L2，Bank L3
+1.2V	DDR4，FPGA Bank R5,Bank R6，Bank R7
VADJ(+2.5V)	FPGA Bank L6 Bank L7, FMC
DDR3_VREF, DDR3_VTT	DDR3
DDR4_VREF, DDR4_VTT	DDR4
HSST_AVCC (+1.0V)	FPGA Bank HSST_QR1, HSST_QR2、HSST_QR3、 B HSST_QR4
HSST_AVTT(+1.2V)	FPGA Bank HSST_QR1, HSST_QR2 、HSST_QR3、 B HSST_QR4
HSST_VCCA (+1.8V)	FPGA HSST 辅助电压
+1V25	FPGA ADC 外部参考电源

(十九) 风扇

因为 FPGA 芯片正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 FPGA 芯片来控制，控制管脚连接到 BANK L7 的 IO 上，如果 IO 电平输出为高，MOSFET 管导通，风扇工作，如果 IO 电平输出为低，风扇停止。板上的风扇设计图如下图 2-19-1 所示:

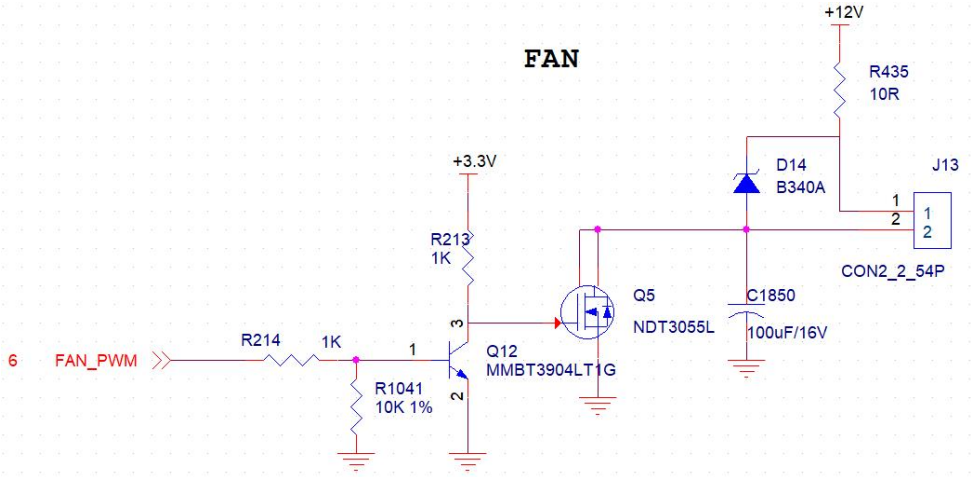
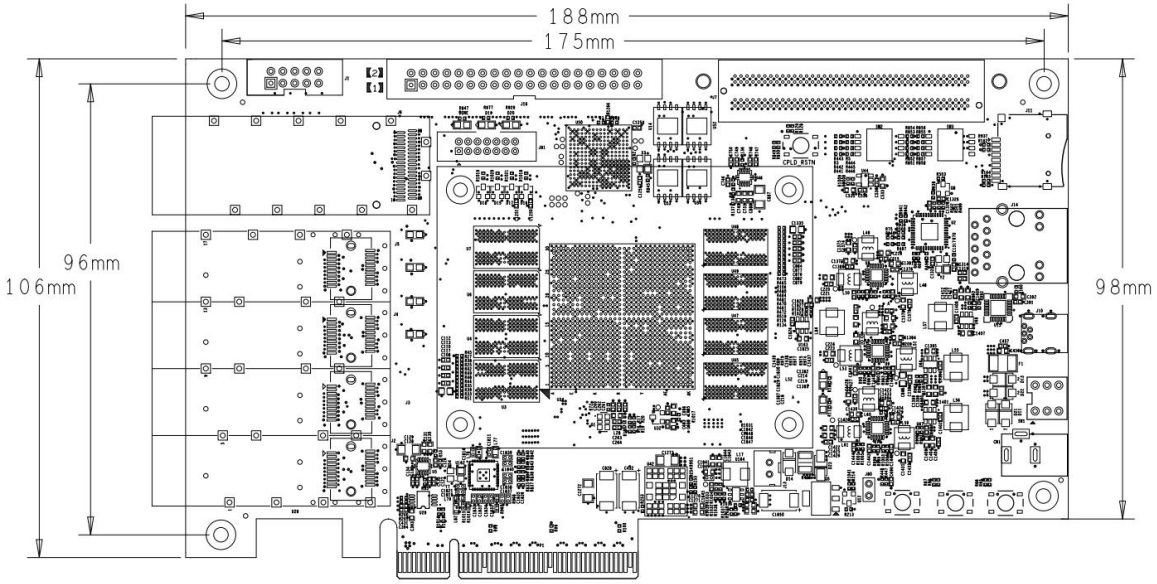


图2-19-1 开发板原理图中风扇设计

FPGA 引脚分配：

引脚名称	FPGA 引脚
FAN_PWM	AK21

(二十) 结构尺寸图



正面图（Top View）