

# Kosmo2 开发平台 用户手册

## AXK400 开发板



## 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

## 目 录

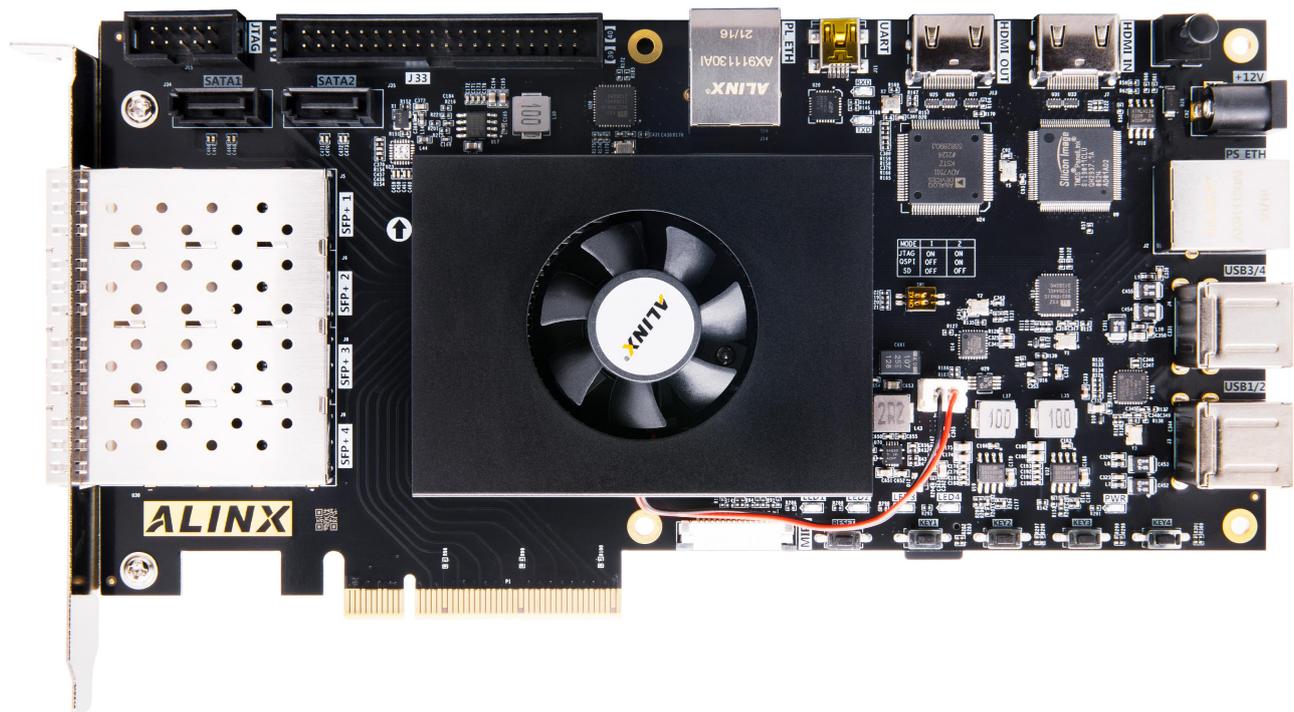
文档版本控制.....	2
一、 开发板简介.....	6
二、 K400 核心板.....	9
(一) 简介.....	9
(二) PG2K400 芯片.....	10
(三) DDR3 DRAM.....	12
(四) Flash.....	18
(五) eMMC Flash.....	19
(六) 时钟配置.....	20
(七) LED 灯.....	23
(八) 复位电路.....	24
(九) 电源.....	24
(十) 结构图.....	27
(十一) 连接器管脚定义.....	27
三、 扩展板.....	36
(一) 简介.....	36
(二) USB 转串口.....	36
(三) 千兆以太网接口.....	37
(四) USB2.0 Host 接口.....	40
(五) HDMI 输出接口.....	41
(六) HDMI 输入接口.....	43
(七) 光纤接口.....	45
(八) PCIe 插槽.....	46
(九) SD 卡槽.....	48
(十) 40 针扩展口.....	49
(十一) LED 灯.....	50
(十二) 复位按键和用户按键.....	51
(十三) JTAG 调试口.....	52
(十四) 拨码开关配置.....	52

(十五) 电源.....	53
(十六) 风扇.....	53
(十七) 结构尺寸图.....	54

芯驿电子科技（上海）有限公司 基于紫光同创 Kosmo2 开发平台的开发板（型号：AXK400）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Kosmo2 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用紫光同创的 Kosmo2 SOPC 芯片 PG2K400 的解决方案，它采用 ARM+FPGA SOPC 技术将双核 ARM Cortex-A53 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上含有 4 片共 2GB 高速 DDR3 SDRAM 芯片，1 片 8GB 的 eMMC 存储芯片 1 片 256Mb 的 OSPI 和 1 片 128Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe4 接口、4 路光纤接口、2 路千兆以太网接口、4 路 USB2.0 HOST 接口、1 路 HDMI 输出接口、1 路 HDMI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 PG2K400 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 PG2K400 开发的学生、工程师等群体。



## 一、 开发板简介

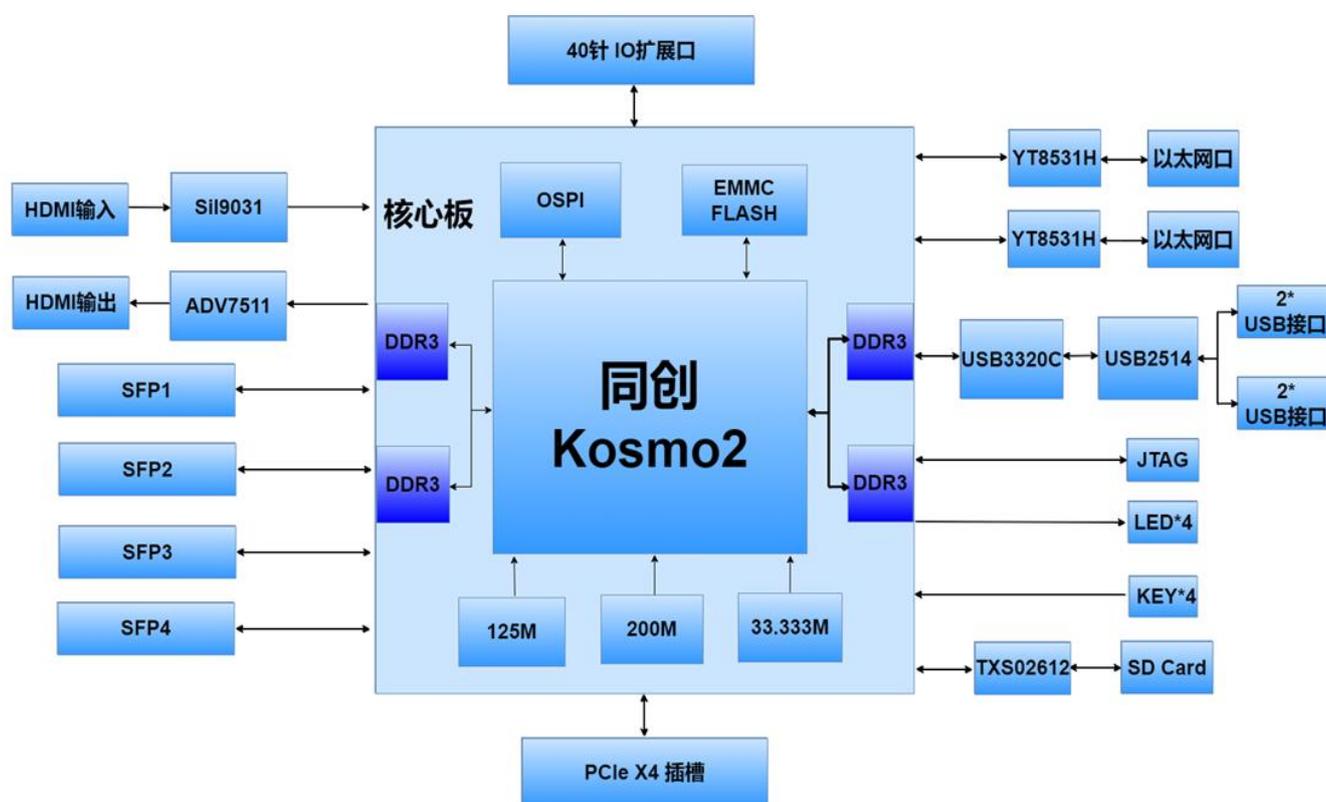
在这里，对这款 AXK400 Kosmo2 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 PG2K400 + 4 个 DDR3 + eMMC + QSPI FLASH 的最小系统构成。PG2K400 采用紫光同创公司的 Kosmo2 系列的芯片，型号为 PG2K400-6IFFBG676。PG2K400 芯片可分成处理器系统部分 Processor Unit (PU) 和可编程逻辑部分 Programmable Array (PA)。在 PG2K400 芯片的 PU 端和 PA 端分别挂了 2 片 DDR3，每片 DDR3 容量高达 512M 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PU 端的 8GB eMMC FLASH 存储芯片和 256Mb 的 OSPI FLASH 用来静态存储 PG2K400 的操作系统、文件系统及用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe4 接口、4 路光纤接口、2 路千兆以太网接口 (PU 和 PA 各一路)、4 路 USB2.0 HOST 接口、1 路 HDMI 输出接口、1 路 HDMI 输出接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- PG2K400 核心板

由 PG2K400+2GB DDR3+8GB eMMC FLASH +256Mb OSPI FLASH 组成，另外有三个晶振提供时钟，一个单端 33.3333MHz 晶振提供给 PU 系统，一个差分 200MHz 晶振提供给 PA 逻辑 DDR 参考时钟，另外一个差分 125MHz 晶振提供给 HSST 收发器参考时钟。

- PCIe x4 接口

支持 PCI Express 3.0 标准，提供标准的 PCIe x4 高速数据传输接口，单通道通信速率可高达 8GBaud。

- 4 路 SFP 光纤接口

PG2K400 的 HSST 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 12.5Gb/s。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网数据交换。网络接口芯片采用 YT8531H 工业级 GPHY 芯片，1 路以太网连接到 PG2K400 芯片的 PU 端，1 路以太网连接到 PG2K400 芯片的 PA 端。

- HDMI 视频输出

1 路 HDMI 视频输出接口，我们选用了 ANALOG DEVICE 公司的 ADV7511 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- HDMI 视频输入

1 路 HDMI 视频输入接口，我们选用了 Sillion Image 公司的 SIL9011/SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输入。

- USB2.0 HOST 接口

通过 USB Hub 芯片扩展 4 路 USB HOST 接口，用于连接外部的 USB 从设备，比如连接鼠标，键盘，U 盘等等。USB 接口采用扁型 USB 接口(USB Type A)。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 40 针扩展口

1 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口, 用于 FPGA 程序的下载和调试, 用户可以通过紫光同创下载器对 PG2K400 系统进行调试和下载。

- LED 灯

10 个发光二极管 LED, 核心板上 3 个, 底板上 7 个。核心板上 1 个电源指示灯; 1 个 DONE 配置指示灯; 1 个用户指示灯。底板上 1 个电源指示灯, 4 个用户指示灯和 2 个串口指示灯。

- 按键

5 个按键, 1 个复位按键, 4 个 PA 用户按键。

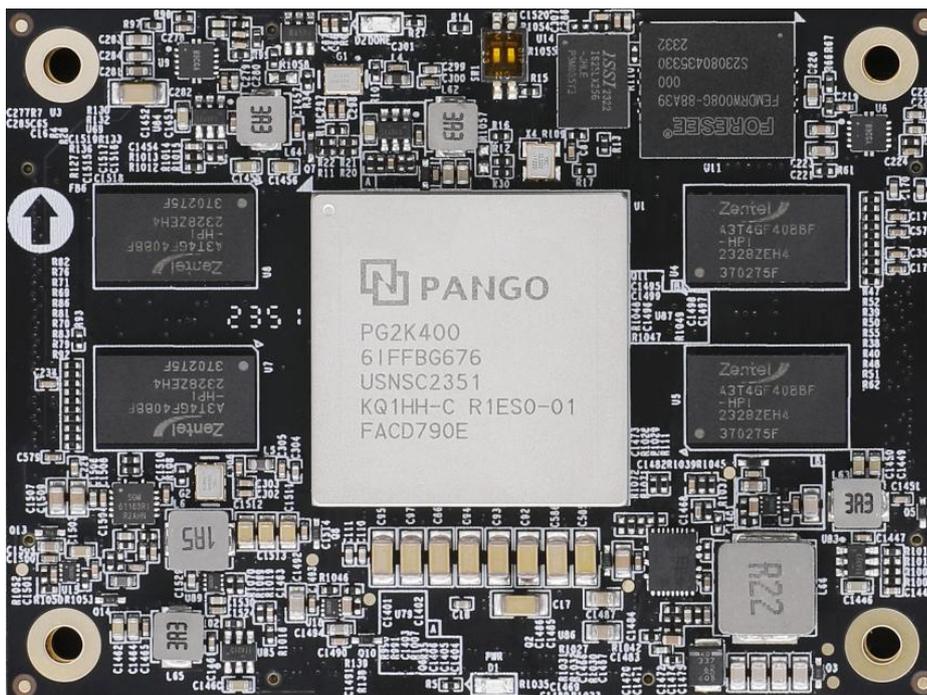
## 二、 K400 核心板

### (一) 简介

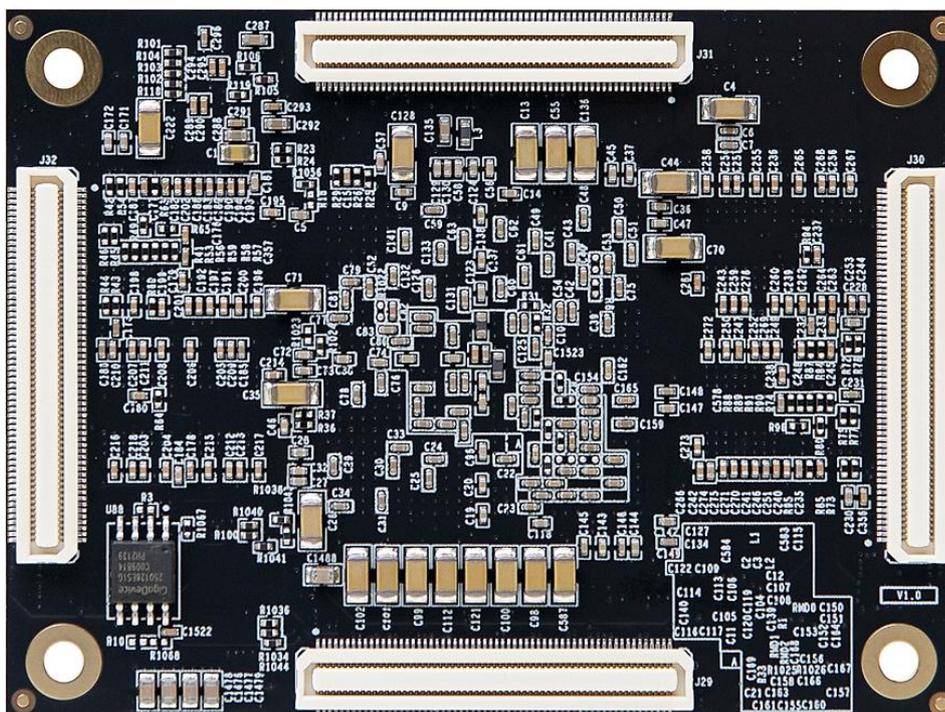
K400(核心板型号,下同)核心板, PG2K400 芯片是基于紫光同创的 Kosmo2 系列的 PG2K400-6IFFBG676。PG2K400 是一款在单芯片内部集成了基于 ARM® Cortex™-A53 MPCore™的双核处理器 (PU) 和 PANGO 的可编程逻辑器件 (PA) 的 SOPC。其核心为 ARM®Cortex™-A53 MPCore™的双核处理器, 并在此基础上集成了片上存储器、外部存储器接口以及丰富的外部 I/O 设备。

这款核心板使用了 4 片 512MB 的 DDR3 芯片 A3T4GF40BBF-HPI,总的容量达 2GB。其中 PU 和 PA 端各挂载两片, 分别组成 32bit 的总线宽度。PU 端的 DDR3 SDRAM 的最高运行速度可达 533MHz(数据速率 1066Mbps), PA 端的 DDR3 SDRAM 的最高运行速度可达 800MHz(数据速率 1600Mbps)。另外核心板上也在 PU 端集成了 1 片 256MBit 大小的 OSPI FLASH、8GB 大小的 eMMC FLASH 芯片以及 PA 端集成了 1 片 128MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。

为了和底板连接, 这款核心板的 4 个板对板连接器扩展出了 PU 端的 USB 接口, 千兆以太网接口, SD 卡接口及其它剩余的 MIO 口;也扩展出了 PG2K400 的 8 对高速收发器 HSSTHP 接口; 以及 PA 端的几乎所有 IO 口 (144 个), 其中 BANKL7 和 BANKL6 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改, 满足用户不用电平接口的要求。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, PG2K400 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80\*60 (mm), 对于二次开发来说, 非常适合。



K400 核心板正面图



K400 核心板背面图

## (二) PG2K400 芯片

核心板使用的是紫光同创的 Kosmo2 系列的芯片，型号为 PG2K40061FFBG676。芯片的 PU 系统集成了两个 ARM Cortex™-A53 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，

CAN 总线接口, UART 接口, GPIO 等。PU 可以独立运行并可在上电或复位下启动。PG2K400 芯片的总体框图如图 2-2-1 所示

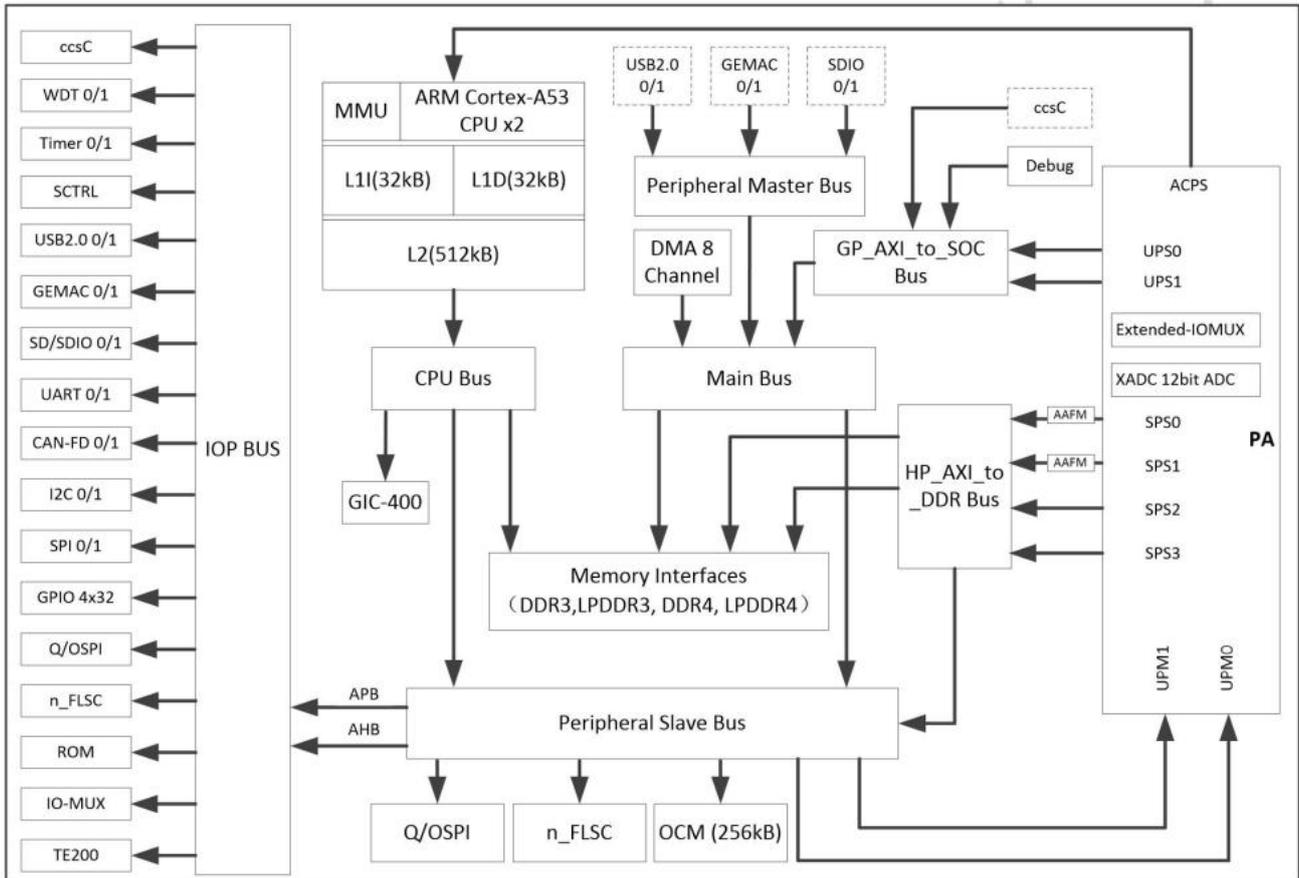


图2-2-1 PG2K400芯片的总体框图

其中 PU 系统部分的主要参数如下:

- 基于 ARM 双核 CortexA53 的应用处理器, ARM-v8 架构 高达 1GHz
- NEON 媒体处理引擎
- 每个 CPU 32KB 1 级指令和数据缓存, 512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 静态存储器接口, 支持 256KB SRAM, 支持 NOR Flash, 支持 ONFI 1.0 NAND Flash, 支持 1bit、2bit、4bit、8bitSPI
- 支持 DDR3、LPDDR3、DDR4 或 LPDDR4 存储器 8bit、16bit 或 32bit 接口
- 两个千兆网卡支持: 发散-聚集 DMA, GMII, RGMII, SGMII 接口
- 两个 USB2.0 OTG 接口, 每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI, 2 个 UARTs, 2 个 I2C 接口
- 54 个多功能配置的 IO, 可以软件配置成普通 IO 或者外设控制接口

- PU 内和 PU 到 PA 的高带宽连接

其中 PA 逻辑部分的主要参数如下:

逻辑单元 Logic Cells: 350K;

- 查找表 LUT6s: 218,400
- 触发器(flip-floPU):436,800
- 乘法器: 900;
- Block RAM: 19Mb;
- 8 路高速 HSSTHP 收发器, 支持 PCIE Gen3x8;
- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道, 1MBPS

### (三) DDR3 DRAM

K400核心板上配有4片的512MB的DDR3芯片,型号为A3T4GF40BBF-HPI, 其中PU和PA端各挂载两片。两片DDR3 SDRAM组成32bit的总线宽度。PU端的DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps), 两片DDR3存储系统直接连接到了PG2K400处理系统 (PU) 的BANK L2的存储器接口上。PA端的DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps), 两片DDR3存储系统连接到了FPGA的BANKR6, BANKR5的接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表2-3-1 DDR3 SDRAM配置

位号	芯片型号	容量
U4,U5,U7,U8	A3T4GF40BBF-HPI	256M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制, 走线等长控制, 保证 DDR3 的高速稳定的工作。

PU 端的 DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

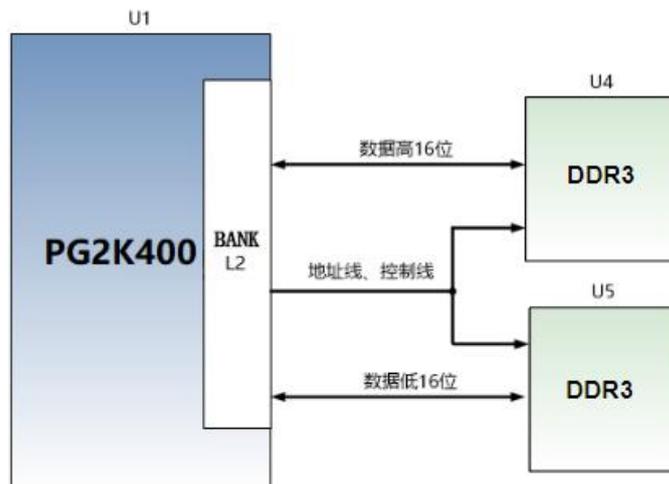


图2-3-1 PU端DDR3 DRAM原理图部分

PA 端的 DDR3 DRAM 的硬件连接方式如图 2-3-2 所示:

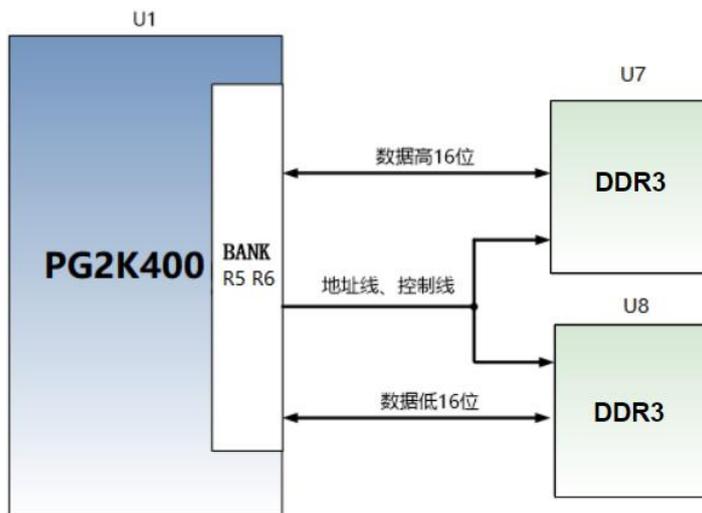


图2-3-2 PA端DDR3 DRAM原理图部分

PU 端 DDR3 DRAM 引脚分配:

信号名称	PG2K400 引脚号
PU_DDR3_DQS0_P	H24
PU_DDR3_DQS0_N	G25
PU_DDR3_DQS1_P	L24
PU_DDR3_DQS1_N	L25
PU_DDR3_DQS2_P	P25
PU_DDR3_DQS2_N	R25
PU_DDR3_DQS3_P	W24
PU_DDR3_DQS4_N	W25
PU_DDR3_D0	J26
PU_DDR3_D1	F25
PU_DDR3_D2	J25
PU_DDR3_D3	G26
PU_DDR3_D4	H26
PU_DDR3_D5	H23
PU_DDR3_D6	J24
PU_DDR3_D7	J23

PU_DDR3_D8	K26
PU_DDR3_D9	L23
PU_DDR3_D10	M26
PU_DDR3_D11	K23
PU_DDR3_D12	M25
PU_DDR3_D13	N24
PU_DDR3_D14	M24
PU_DDR3_D15	N23
PU_DDR3_D16	R26
PU_DDR3_D17	P24
PU_DDR3_D18	N26
PU_DDR3_D19	P23
PU_DDR3_D20	T24
PU_DDR3_D21	T25
PU_DDR3_D22	T23
PU_DDR3_D23	R23
PU_DDR3_D24	V24
PU_DDR3_D25	U26
PU_DDR3_D26	U24
PU_DDR3_D27	U25
PU_DDR3_D28	W26
PU_DDR3_D29	Y25
PU_DDR3_D30	Y26
PU_DDR3_D31	W23
PU_DDR3_DM0	G24
PU_DDR3_DM1	K25
PU_DDR3_DM2	P26
PU_DDR3_DM3	V26
PU_DDR3_A0	K22
PU_DDR3_A1	K20
PU_DDR3_A2	N21
PU_DDR3_A3	L22

PU_DDR3_A4	M20
PU_DDR3_A5	N22
PU_DDR3_A6	L20
PU_DDR3_A7	J21
PU_DDR3_A8	T20
PU_DDR3_A9	U20
PU_DDR3_A10	M22
PU_DDR3_A11	H21
PU_DDR3_A12	P20
PU_DDR3_A13	J20
PU_DDR3_A14	R20
PU_DDR3_BA0	U22
PU_DDR3_BA1	T22
PU_DDR3_BA2	R22
PU_DDR3_S0	Y21
PU_DDR3_RAS	V23
PU_DDR3_CAS	Y23
PU_DDR3_WE	V22
PU_DDR3_ODT	Y22
PU_DDR3_RESET	H22
PU_DDR3_CLK0_P	R21
PU_DDR3_CLK0_N	P21
PU_DDR3_CKE	U21

PA 端 DDR3 DRAM 引脚分配:

信号名称	PG2K400 引脚号
PA_DDR3_DQS0_P	G2
PA_DDR3_DQS0_N	F2
PA_DDR3_DQS1_P	K2
PA_DDR3_DQS1_N	K1
PA_DDR3_DQS2_P	N3
PA_DDR3_DQS2_N	N2

PA_DDR3_DQS3_P	M8
PA_DDR3_DQS4_N	L8
PA_DDR3_D0	E1
PA_DDR3_D1	F4
PA_DDR3_D2	D1
PA_DDR3_D3	G4
PA_DDR3_D4	D3
PA_DDR3_D5	E2
PA_DDR3_D6	D4
PA_DDR3_D7	C1
PA_DDR3_D8	H1
PA_DDR3_D9	G1
PA_DDR3_D10	J1
PA_DDR3_D11	H3
PA_DDR3_D12	K3
PA_DDR3_D13	H4
PA_DDR3_D14	L3
PA_DDR3_D15	H2
PA_DDR3_D16	N1
PA_DDR3_D17	L5
PA_DDR3_D18	L4
PA_DDR3_D19	M6
PA_DDR3_D20	M2
PA_DDR3_D21	N4
PA_DDR3_D22	L2
PA_DDR3_D23	M4
PA_DDR3_D24	N7
PA_DDR3_D25	J6
PA_DDR3_D26	M7
PA_DDR3_D27	J5
PA_DDR3_D28	K8
PA_DDR3_D29	K5

PA_DDR3_D30	K7
PA_DDR3_D31	K6
PA_DDR3_DM0	F3
PA_DDR3_DM1	J4
PA_DDR3_DM2	M5
PA_DDR3_DM3	N6
PA_DDR3_A0	A8
PA_DDR3_A1	C2
PA_DDR3_A2	D6
PA_DDR3_A3	B9
PA_DDR3_A4	D5
PA_DDR3_A5	A9
PA_DDR3_A6	E7
PA_DDR3_A7	C9
PA_DDR3_A8	F7
PA_DDR3_A9	A7
PA_DDR3_A10	A2
PA_DDR3_A11	F8
PA_DDR3_A12	B1
PA_DDR3_A13	B10
PA_DDR3_A14	G7
PA_DDR3_BA0	B7
PA_DDR3_BA1	C3
PA_DDR3_BA2	A3
PA_DDR3_S0	C6
PA_DDR3_RAS	C4
PA_DDR3_CAS	B4
PA_DDR3_WE	B5
PA_DDR3_ODT	A4
PA_DDR3_RESET	A10
PA_DDR3_CLK0_P	B6
PA_DDR3_CLK0_N	A5

PA_DDR3_CKE	B2
-------------	----

#### (四) Flash

核心板配有 2 片 flash, 一片是 128MBit 大小的 Quad-SPI FLASH 芯片, 另一片是 8 位 256Mbits 的 OSPI FLASH, 它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U14	IS25LX256-JHLE	256M bit	ISSI
U88	GD25Q128ESIGR	128M bit	GD

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 PG2K400 芯片的 PU 部分 BANKL0 的 GPIO 口上, 在系统设计中需要配置这些 PU 端的 GPIO 口功能为 OSPI FLASH 接口。为图 4-1 为 OSPI Flash 在原理图中的部分。

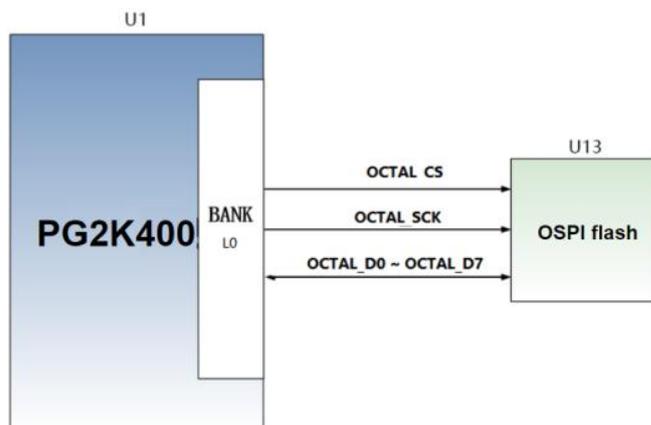


图 2-4-1 OSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	PG2K400 引脚号
OCTAL_SCK	F23
OCTAL_CS	D26
OCTAL_D0	E25
OCTAL_D1	D25

OCTAL_D2	F24
OCTAL_D3	C26
OCTAL_CLKN	D24
OCTAL_DS	E26
OCTAL_D4	A25
OCTAL_D5	B26
OCTAL_D6	A23
OCTAL_D7	B25

## (五) eMMC Flash

核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 FEMDRW008G-88A39，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 PG2K400 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 PG2K400 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量
U11	FEMDRW008G-88A39	8G Byte

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 PG2K400 芯片的 PU 部分 BANKL1 的 GPIO 口上，在系统设计中需要配置这些 PU 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

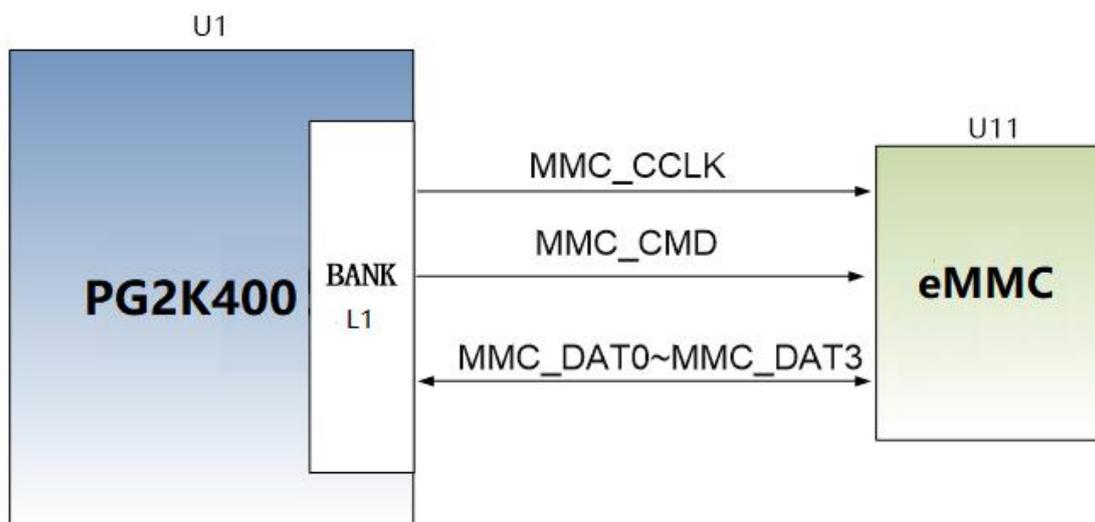


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	PG2K400 引脚号
MMC_CCLK	B21
MMC_CMD	B19
MMC_D0	E17
MMC_D1	A18
MMC_D2	B22
MMC_D3	B20

## (六) 时钟配置

核心板上分别为 PU 系统, PA 逻辑部分和 HSSTHP 收发器提供了参考时钟, 使 PU 系统和 PA 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示:

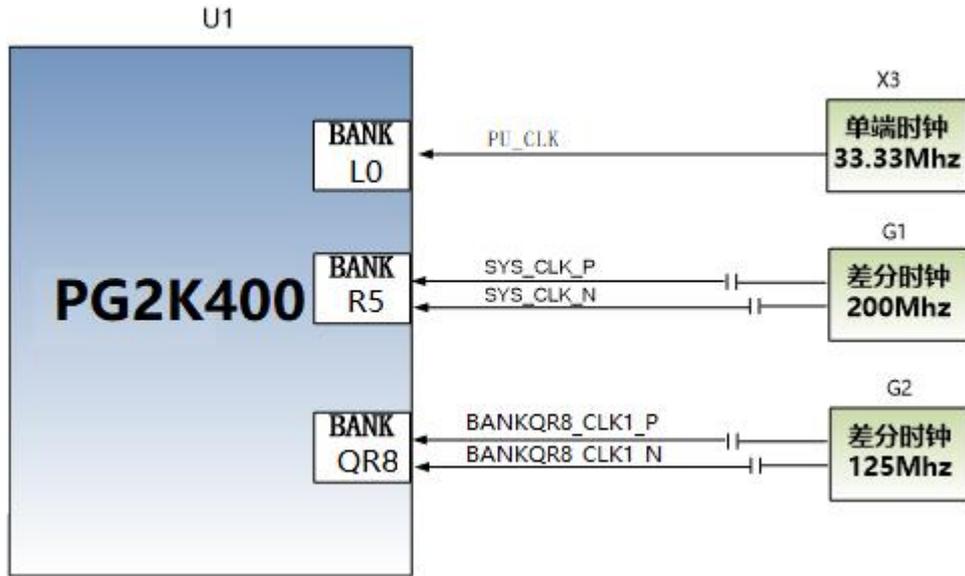


图 2-6-1 核心板时钟源

### PU 系统时钟源

PG2K400 芯片通过核心板上的 X4 晶振为 PU 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 PG2K400 芯片的 BANKL0 的 PU\_CLK\_500 的管脚上。其原理图如图 2-6-2 所示：

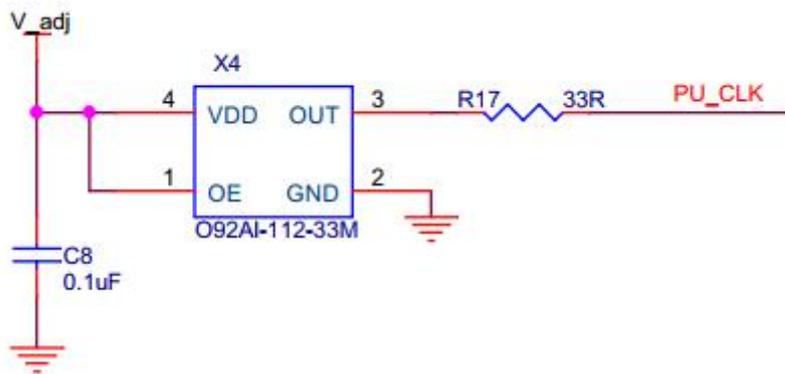


图 2-6-2 PU 部分的有源晶振

### 时钟引脚分配：

信号名称	PG2K400 引脚
PU_CLK	B24

### PA 系统时钟源

板上提供了一个差分 200MHz 的 PA 系统时钟源，用于 DDR3 控制器的参考时钟。晶振输出连接到 FPGA BANKR5 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR3 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

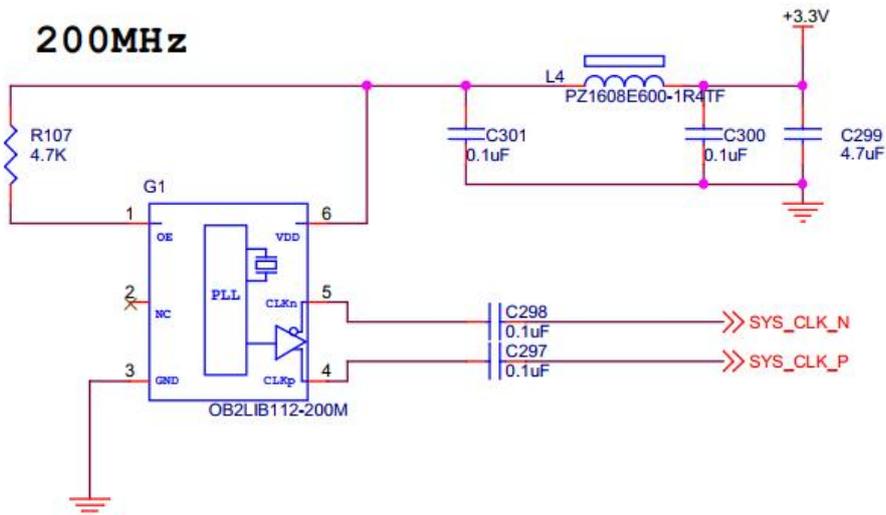


图 2-6-4 PA系统时钟源

PA 时钟引脚分配:

信号名称	PG2K400 引脚
SYS_CLK_P	C8
SYS_CLK_N	C7

HSSTHP 参考时钟

核心板上为 HSSTHP 收发器提供了 125Mhz 的参考时钟。参考时钟连接到 BANKQR8 的参考时钟输入 REFCLK1P/REFCLK1N。该时钟源的原理图如图 2-6-6 所示

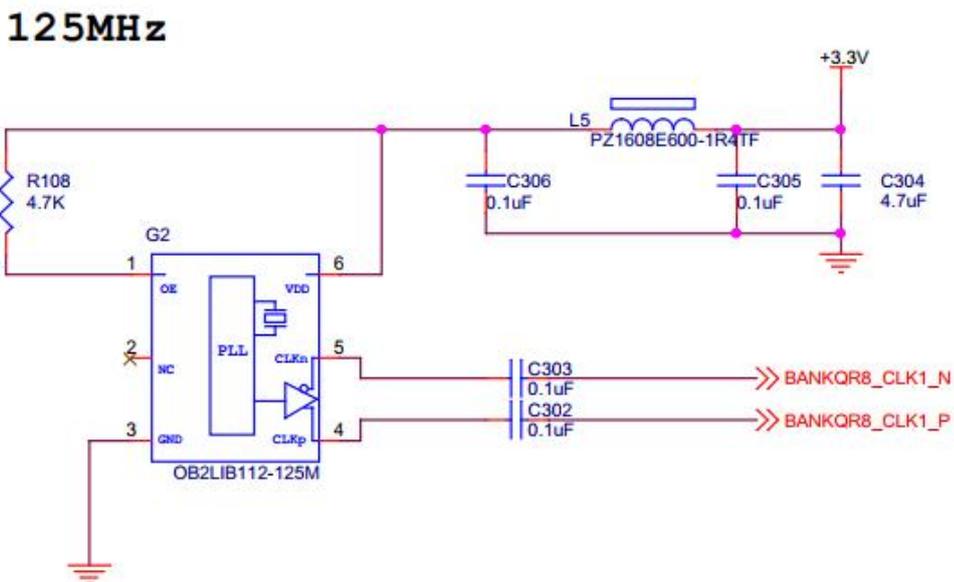


图 2-6-6 HSSTHP 时钟源

图 6-7 为可 HSSTHP 时钟源的实物图

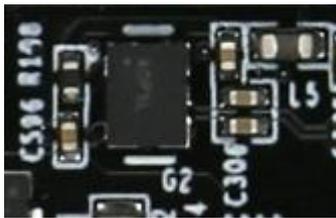


图2-6-7 可编程时钟源实物图

HSSTHP 时钟源 PG2K400 引脚分配:

信号名称	PG2K400 引脚
BANKQR8_CLK1_P	AA6
BANKQR8_CLK1_N	AA5

## (七) LED 灯

K400 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，1 个是用户 LED 灯。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯一个连接到 PA 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-7-1 所示：

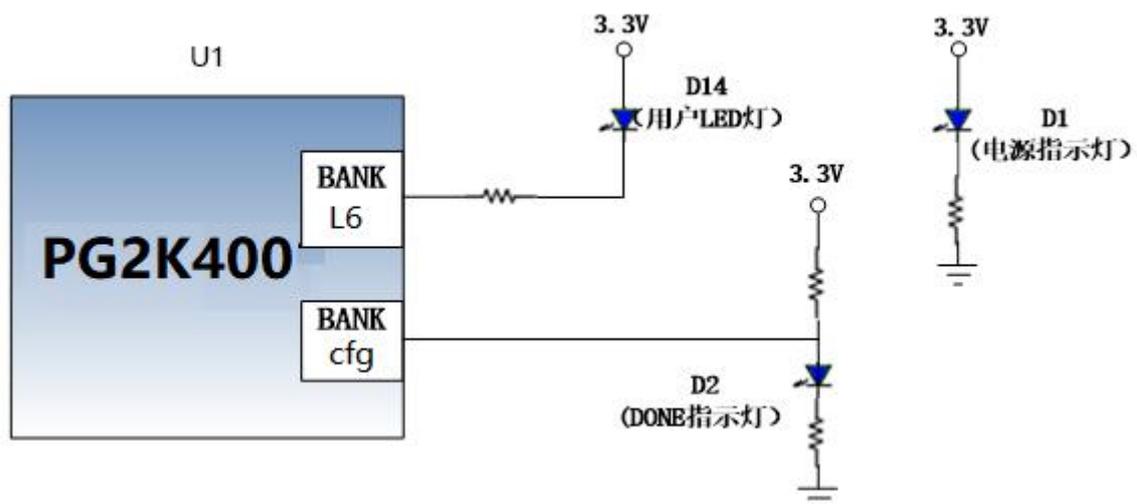


图 2-7-1 核心板 LED 灯硬件连接示意图

### 用户 LED 灯的引脚分配

LED 灯	PG2K400 引脚名	PG2K400 管脚号	备注
D14	L6_IO25	V19	用户LED灯

## (八) 复位电路

K400 核心板上有一个复位电路，复位输入信号连接到底板的复位按键，复位输出连接到 PG2K400 芯片 PU 复位管脚上，用户可以使用这个底板按键来复位 PG2K400 系统。复位连接的示意图如图 2-8-1 所示：

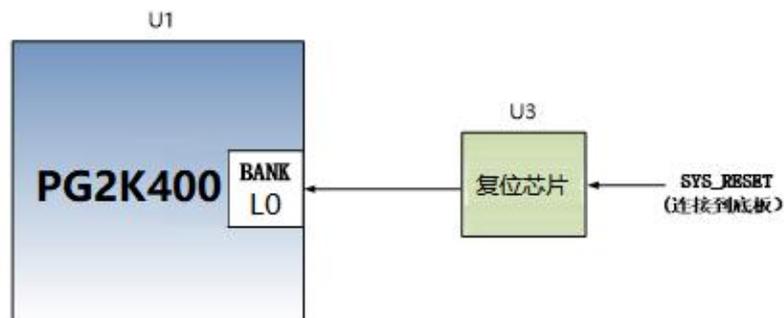


图 2-8-1 复位连接示意图

### 复位按键的 PG2K400 管脚分配

信号名称	PG2K400 引脚号	备注
PU_POR_B	A22	PG2K400系统复位信号

## (九) 电源

K400 核心板供电电压为+5V，通过连接底板供电。板上的电源设计示意图如下图 2-9-1 所示：

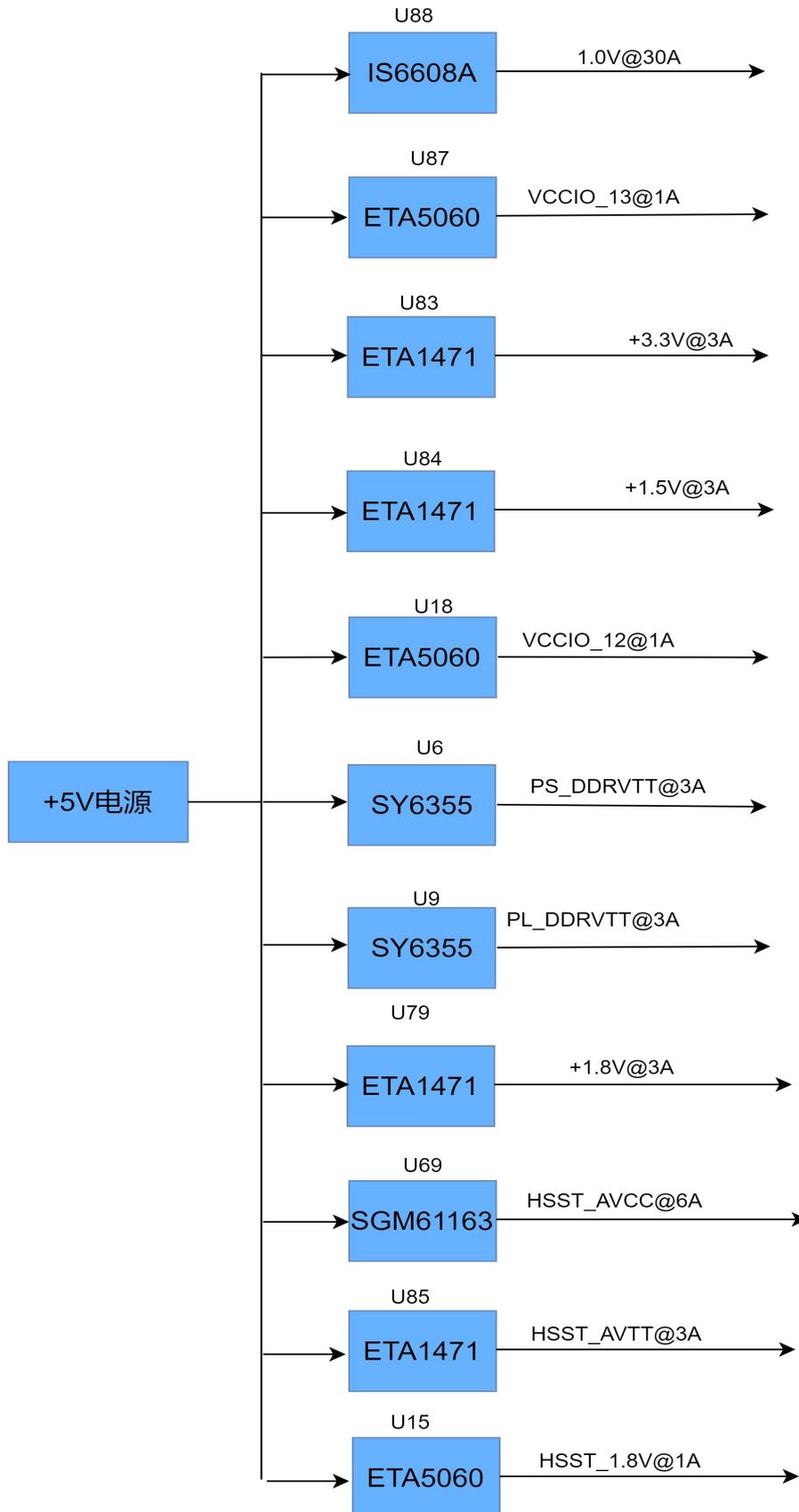


图 2-9-1 原理图中电源接口部分

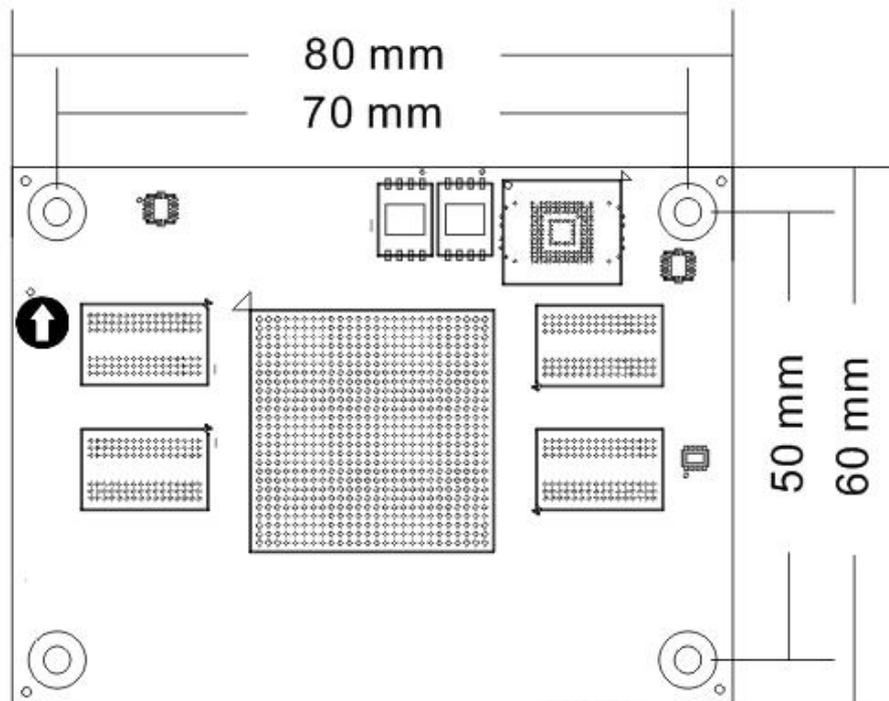
+5V 通过 DCDC 电源芯片 IS6608A 产生+1.0V 的 PG2K400 核心电源, +1.0V 电源输出电流高达 30A, 远远满足 PG2K400 的核心电压的电流需求。+5V 电源再通过 DCDC 芯片 ETA1471 来产生 HSST\_AVTT, +1.5V, +3.3V, +1.5V 四路电源。通过 DCDC 芯片 SGM61163 产生 HSST\_AVCC 的电源, +3.3V 通过一个 LDO 芯片产生 HSSTHP 的辅助电源 HSST\_1.8V。PU 部分和 PA 部分的 DDR3 的 VTT 和 VREF 电压由 SY6355 来产生。另外通过 2 路 ETA5060 产生 BANKL7 和 BANKL6 的 IO 电源, 用户可以通过更换 LDO 芯片, 使得这两个 BANK 的 IO 输入输出为其它的电压标准。

各个电源分配的功能如下表所示:

电源	功能
+1.0V	PG2K400 PU 和 PA 部分的内核电压
+1.8V	PG2K400 PU 和 PA 部分辅助电压, BANKL1, BANKR4, eMMC
+3.3V	PG2K400 Bank0, BANKL0, QSIP FLASH, Clock 晶振
+1.5V	DDR3, PG2K400 BANKL2, BANKR6, BANKR5
VCCIO12	PG2K400 BANKL7
VCCIO13	PG2K400 BANKL6
VREF, VTT (+0.75V)	PU DDR3, PA DDR3
HSST_AVCC(+1.0V)	PG2K400 BankQR7, BankQR8
HSST_AVTT(+1.2V)	PG2K400 BankQR7, BankQR8
HSST_1.8V (+1.8V)	PG2K400 BankQR7, BankQR8

因为 PG2K400 FPGA 的电源有上电顺序的要求, 在电路设计中, 我们已经按照 芯片的电源要求设计, 上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO12, VCCIO13) 的电路设计, 保证芯片的正常工作。

## (十) 结构图



正面图 (Top View)

## (十一) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接。其中 J29 连接 BANKL7, BANKL6 的 IO, J30 连接 HSSTHP 的收发器信号, J31 连接 JTAG 和 BANKR4 的 IO (1.8V 电平标准), J32 连接 PU 的 MIO, BANKL6 的 IO 和 +5V 电源。

### J29 连接器的引脚分配

J29 管脚	信号名称	PG2K400 引脚号	J29 管脚	信号名称	PG2K400 引脚号
1	L6_L8_P	AE23	2	L6_L9_N	AB22
3	L6_L8_N	AF23	4	L6_L9_P	AB21
5	GND	-	6	GND	-
7	L6_L10_N	AA23	8	L6_L13_N	AD21
9	L6_L10_P	AA22	10	L6_L13_P	AD20
11	GND	-	12	GND	-
13	L6_L15_N	AF20	14	L6_L14_N	AC22
15	L6_L15_P	AF19	16	L6_L14_P	AC21

17	GND	-	18	GND	-
19	L6_L23_N	W19	20	L6_L7_P	AE22
21	L6_L23_P	W18	22	L6_L7_N	AF22
23	GND	-	24	GND	-
25	L6_L22_P	AA19	26	L6_L20_P	AA20
27	L6_L22_N	AB19	28	L6_L20_N	AB20
29	GND	-	30	GND	-
31	L6_L17_N	AD19	32	L6_L18_N	AF18
33	L6_L17_P	AD18	34	L6_L18_P	AE18
35	GND	-	36	GND	-
37	L6_L19_N	Y20	38	L6_L16_N	AE21
39	L6_L19_P	W20	40	L6_L16_P	AE20
41	GND	-	42	GND	-
43	L6_L24_N	AA18	44	L6_L21_N	AC19
45	L6_L24_P	Y18	46	L6_L21_P	AC18
47	GND	-	48	GND	-
49	L7_L23_P	Y16	50	L7_L18_N	AF17
51	L7_L23_N	Y15	52	L7_L18_P	AE17
53	GND	-	54	GND	-
55	L7_L15_P	AD16	56	L7_L16_P	AF15
57	L7_L15_N	AD15	58	L7_L16_N	AF14
59	GND	-	60	GND	-
61	L7_L14_P	AB15	62	L7_L13_N	AD14
63	L7_L14_N	AB14	64	L7_L13_P	AC14
65	GND	-	66	GND	-
67	L7_L10_N	AF13	68	L7_L19_P	Y17
69	L7_L10_P	AE13	70	L7_L19_N	AA17
71	GND	-	72	GND	-
73	L7_L4_P	AB11	74	L7_L20_P	AB17
75	L7_L4_N	AB10	76	L7_L20_N	AB16
77	GND	-	78	GND	-
79	L7_L7_P	AE10	80	L7_L8_N	AF12

81	L7_L7_N	AD10	82	L7_L8_P	AE12
83	GND	-	84	GND	-
85	L7_L24_P	W16	86	L7_L21_P	AC17
87	L7_L24_N	W15	88	L7_L21_N	AC16
89	GND	-	90	GND	-
91	L7_L3_N	AA10	92	L7_L17_P	AE16
93	L7_L3_P	Y10	94	L7_L17_N	AE15
95	GND	-	96	GND	-
97	L7_L11_P	AC12	98	L7_L22_P	AA15
99	L7_L11_N	AD11	100	L7_L22_N	AA14
101	GND	-	102	GND	-
103	L7_L12_N	AD13	104	L7_L5_P	W13
105	L7_L12_P	AC13	106	L7_L5_N	Y13
107	GND	-	108	GND	-
109	L7_L6_P	AA13	110	L7_L9_P	AE11
111	L7_L6_N	AA12	112	L7_L9_N	AF10
113	GND	-	114	GND	-
115	L7_L1_P	Y12	116	L7_L2_P	AB12
117	L7_L1_N	Y11	118	L7_L2_N	AC11
119	GND	-	120	GND	-

### J30 连接器的引脚分配

J30 管脚	信号名称	PG2K400 引脚号	J30 管脚	信号名称	PG2K400 引脚号
1			2		
3			4		
5	GND	-	6	GND	-
7			8		
9			10		
11	GND	-	12	GND	-
13			14		
15			16		

17	GND	-	18	GND	-
19			20		
21			22		
23	GND	-	24	GND	-
25			26		
27			28		
29	GND	-	30	GND	-
31	BANKQR7_TX0_N	AA1	32	BANKQR7_RX0_N	AB3
33	BANKQR7_TX0_P	AA2	34	BANKQR7_RX0_P	AB4
35	GND	R13	36	GND	R13
37	BANKQR7_TX1_N	W1	38	BANKQR7_RX1_N	Y3
39	BANKQR7_TX1_P	W2	40	BANKQR7_RX1_P	Y4
41	GND	R13	42	GND	R13
43	BANKQR7_TX2_N	U1	44	BANKQR7_RX2_N	V3
45	BANKQR7_TX2_P	U2	46	BANKQR7_RX2_P	V4
47	GND	R13	48	GND	R13
49	BANKQR7_TX3_N	R1	50	BANKQR7_RX3_N	T3
51	BANKQR7_TX3_P	R2	52	BANKQR7_RX3_P	T4
53	GND	R13	54	GND	R13
55	BANKQR7_CLK0_N	R5	56	BANKQR7_CLK1_N	U5
57	BANKQR7_CLK0_P	R6	58	BANKQR7_CLK1_P	U6
59	GND	-	60	GND	R13
61			62	BANKQR8_RX3_N	AD3
63			64	BANKQR8_RX3_P	AD4
65	GND	-	66	GND	R13
67			68	BANKQR8_TX3_N	AC1
69			70	BANKQR8_TX3_P	AC2
71	GND	-	72	GND	R13
73			74	BANKQR8_RX2_N	AC5
75			76	BANKQR8_RX2_P	AC6
77	GND	-	78	GND	R13
79			80	BANKQR8_TX2_N	AE1

81			82	BANKQR8_TX2_P	AE2
83	GND	-	84	GND	R13
85			86	BANKQR8_RX1_N	AE5
87			88	BANKQR8_RX1_P	AE6
89	GND	-	90	GND	R13
91			92	BANKQR8_TX1_N	AF3
93			94	BANKQR8_TX1_P	AF4
95	GND	-	96	GND	R13
97			98	BANKQR8_RX0_N	AD7
99			100	BANKQR8_RX0_P	AD8
101	GND	-	102	GND	R13
103			104	BANKQR8_TX0_N	AF7
105			106	BANKQR8_TX0_P	AF8
107	GND	-	108	GND	R13
109			110	BANKQR8_CLK0_N	W5
111			112	BANKQR8_CLK0_P	W6
113	GND	-	114	GND	-
115			116		
117			118		
119	GND	-	120	GND	-

### J31 连接器的引脚分配

J31 管脚	信号名称	PG2K400 引脚号	J31 管脚	信号名称	PG2K400 引脚号
1	FPGA_TCK	W12	2	FPGA_TDI	V11
3	FPGA_TMS	W11	4	FPGA_TDO	W10
5	GND	-	6	GND	-
7	R4_L3_P	G10	8	R4_L2_P	E10
9	R4_L3_N	F10	10	R4_L2_N	D10
11	GND	-	12	GND	-
13	R4_L7_N	H12	14	R4_L6_P	F13
15	R4_L7_P	H13	16	R4_L6_N	E13

17	GND	-	18	GND	-
19	R4_L4_P	E11	20	R4_L23_P	C11
21	R4_L4_N	D11	22	R4_L23_N	B11
23	GND	-	24	GND	-
25	R4_L5_N	G11	26	R4_L22_P	C12
27	R4_L5_P	G12	28	R4_L22_N	B12
29	GND	-	30	GND	-
31	R4_L8_P	K13	32	R4_L24_N	A12
33	R4_L8_N	J13	34	R4_L24_P	A13
35	GND	-	36	GND	-
37	R4_L12_P	J14	38	R4_L11_N	F14
39	R4_L12_N	H14	40	R4_L11_P	G14
41	GND	-	42	GND	-
43	R4_L9_P	K15	44	R4_L19_N	C13
45	R4_L9_N	J15	46	R4_L19_P	D13
47	GND	-	48	GND	-
49	R4_L1_N	E12	50	R4_L21_N	A14
51	R4_L1_P	F12	52	R4_L21_P	A15
53	GND	-	54	GND	-
55	R4_L17_N	B15	56	R4_L14_P	F15
57	R4_L17_P	B16	58	R4_L14_N	E15
59	GND	-	60	GND	-
61	R4_L20_N	B14	62	R4_L18_P	B17
63	R4_L20_P	C14	64	R4_L18_N	A17
65	GND	-	66	GND	-
67	R4_L10_N	G15	68	R4_L15_N	C16
69	R4_L10_P	G16	70	R4_L15_P	C17
71	GND	-	72	GND	-
73	R4_L13_N	D14	74		
75	R4_L13_P	D15	76		
77	GND	-	78	GND	-
79	R4_L16_N	D16	80		

81	R4_L16_P	E16	82		
83	GND	-	84	GND	-
85			86		
87			88		
89	GND	-	90	GND	-
91			92		
93			94		
95	GND	-	96	GND	-
97			98		
99			100		
101	GND	-	102	GND	-
103			104		
105			106		
107	GND	-	108	GND	-
109			110		
111			112		
113	GND	-	114	GND	-
115	PU_POR_B		116		
117	SYS_RESET	-	118		
119	GND	-	120	GND	-

### J32 连接器的引脚分配

J32 管脚	信号名称	PG2K400 引脚号	J32 管脚	信号名称	PG2K400 引脚号
1	PU_MIO5	C26	2	PU_MIO17	G17
3	PU_MIO4	F24	4	PU_MIO18	G20
5	GND	-	6	GND	-
7	PU_MIO14	D23	8	PU_MIO19	G19
9	PU_MIO15	C24	10	PU_MIO20	H19
11	GND	-	12	GND	-
13	PU_MIO52	A20	14	PU_MIO16	G21
15	PU_MIO53	A19	16	PU_MIO21	F22

17	GND	-	18	GND	-
19	PU_MIO7	E23	20	PU_MIO26	H17
21			22	PU_MIO25	F19
23	GND	-	24	GND	-
25	PU_MIO40	C22	26	PU_MIO24	J19
27	PU_MIO41	C19	28	PU_MIO23	F20
29	GND	-	30	GND	-
31	PU_MIO42	F17	32	PU_MIO27	F18
33	PU_MIO43	D18	34	PU_MIO22	G22
35	GND	-	36	GND	-
37	PU_MIO44	E18	38	PU_MIO30	K19
39	PU_MIO45	C18	40	PU_MIO29	E20
41	GND	-	42	GND	-
43			44	PU_MIO36	K16
45			46	PU_MIO31	E21
47	GND	-	48	GND	-
49			50	PU_MIO32	K17
51			52	PU_MIO33	E22
53	GND	-	54	GND	-
55			56	PU_MIO34	J16
57			58	PU_MIO35	D19
59	GND	-	60	GND	-
61			62	PU_MIO28	J18
63			64	PU_MIO37	D20
65	GND	-	66	GND	-
67			68	PU_MIO38	D21
69			70	PU_MIO39	C21
71	GND	-	72	GND	-
73			74		
75			76		
77	GND	-	78	GND	-
79			80		

81			82		
83	GND	-	84	GND	-
85	L6_L1_P	AA25	86	L6_L11_P	AD23
87	L6_L1_N	AB25	88	L6_L11_N	AD24
89	GND	-	90	GND	-
91	L6_L6_P	AA24	92	L6_L4_P	AD25
93	L6_L6_N	AB24	94	L6_L4_N	AD26
95	GND	-	96	GND	-
97	L6_L2_N	AC26	98	L6_L5_P	AF24
99	L6_L2_P	AB26	100	L6_L5_N	AF25
101	GND	-	102	GND	-
103	L6_L12_P	AC23	104	L6_L3_P	AE25
105	L6_L12_N	AC24	106	L6_L3_N	AE26
107	+5V	-	108	+5V	-
109	+5V	-	110	+5V	-
111	+5V	-	112	+5V	-
113	+5V	-	114	+5V	-
115	+5V	-	116	+5V	-
117	+5V	-	118	+5V	-
119	+5V	-	120	+5V	-

## 三、 扩展板

### (一)简介

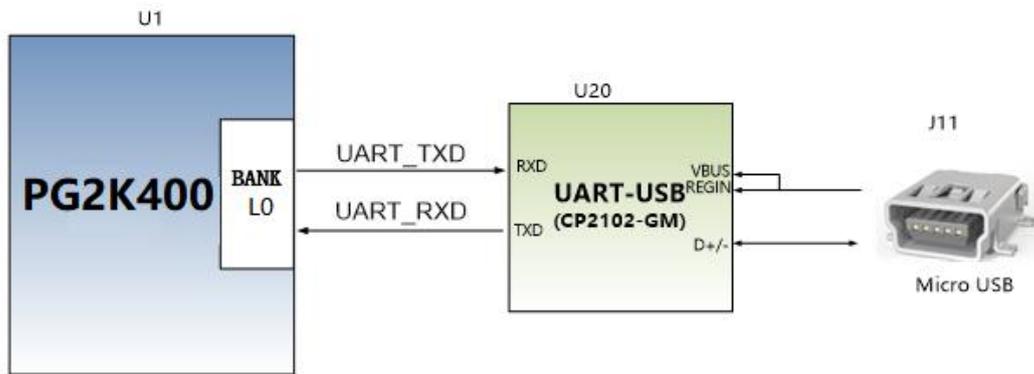
通过前面的功能简介，我们可以了解到扩展板部分的功能

- 1 路 PCIe4 接口
- 4 路光纤接口
- 2 路 10/100M/1000M 以太网 RJ-45 接口
- 1 路 HDMI 视频输出接口
- 1 路 HDMI 视频输入接口
- 4 路 USB HOST 接口
- 1 路 USB Uart 通信接口
- 1 路 SD 卡接口
- 1 路 40 针扩展口
- JTAG 调试接口
- 4 个独立按键
- 4 个用户 LED 灯

### (二)USB 转串口

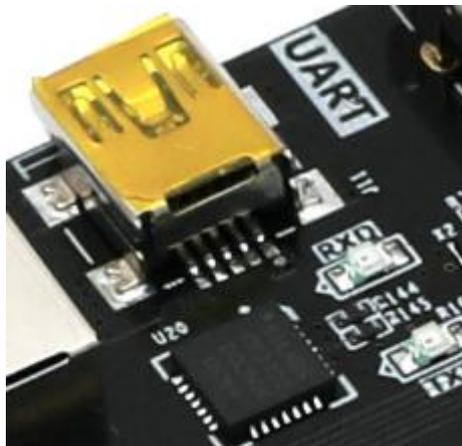
AXK400 扩展板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示：



3-2-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-2-2 USB 转串口实物图

USB 转串口的 PG2K400 引脚分配:

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
UART_RXD	PU_MIO14_L0	D23	Uart数据输入
UART_TXD	PU_MIO15_L0	C24	Uart数据输出

### (三) 千兆以太网接口

AXK400 扩展板上有 2 路千兆以太网接口, 其中 1 路以太网接口是连接的 PU 系统端, 另外 1 路以太网接口是连接到 PU 的逻辑 IO 口上。连接到 PA 端的千兆以太网接口需要通过程序调用 IP 挂载到 PG2K400 的 AXI 总线系统上。

以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 YT8531H 为用户提供网络通信服务。PU 端的以太网 PHY 芯片是连接到 PG2K400 的 PU 端 BANKL1 的 GPIO 接口上。PA 端

的以太网 PHY 芯片是连接到 BANK R4 的 IO 上。YT8531H 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 Kosmo2 系统的 MAC 层进行数据通信。YT8531HD 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

YT8531H 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 8-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 3-3-1PHY 芯片默认配置值

当网络连接到千兆以太网时，PG2K400 和 PHY 芯片 YT8531H 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，PG2K400 和 PHY 芯片 YT8531H 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-3-1 为 PG2K400 PU 端 1 路以太网 PHY 芯片连接示意图：

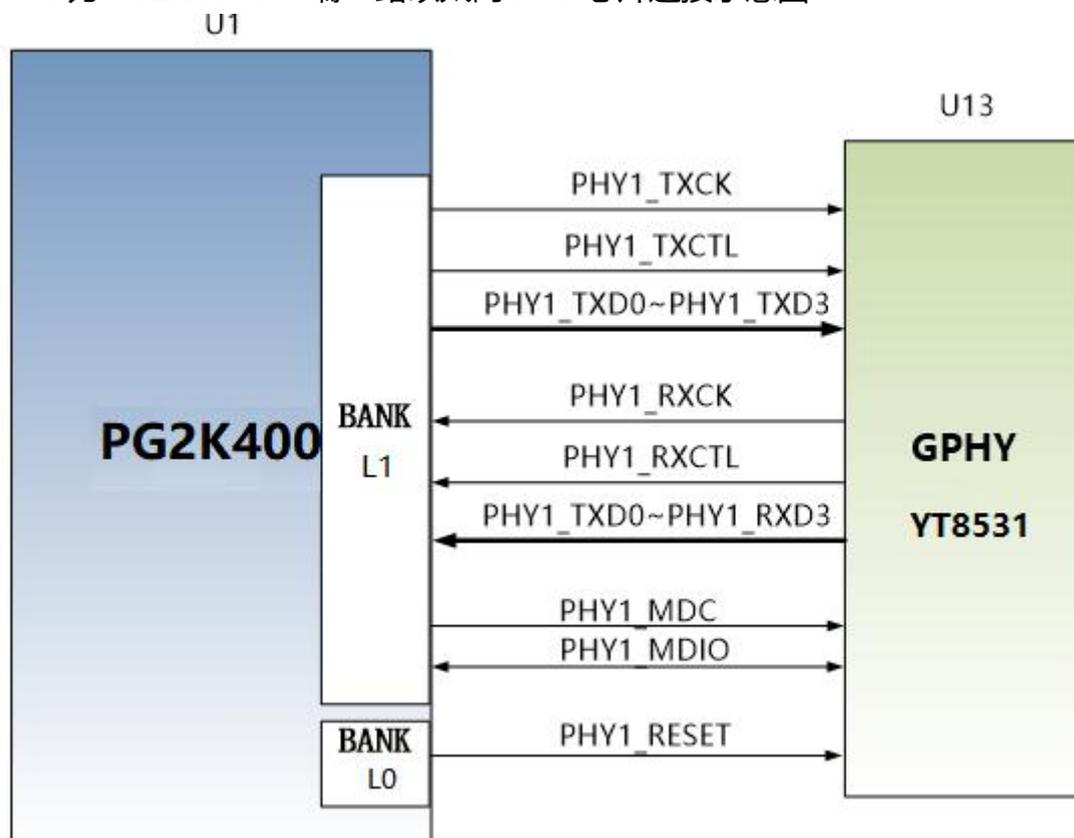


图 3-3-1 PG2K400 PU 系统与 GPHY 连接示意图

图 3-3-2 为 PG2K400 PA 端 1 路以太网 PHY 芯片连接示意图:

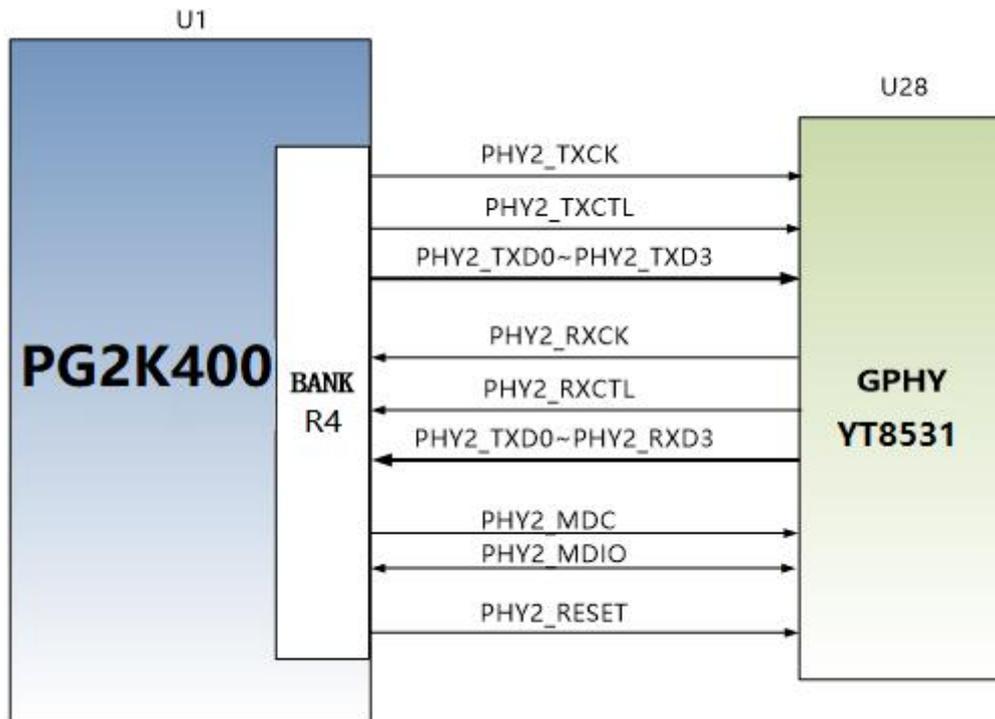


图 3-3-2 PG2K400 PA 端与 GPHY 连接示意图

PU 端千兆以太网引脚分配如下:

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
PHY1_TXCK	PU_MIO16_L1	G21	RGMII 发送时钟
PHY1_TXD0	PU_MIO17_L1	G17	发送数据 bit 0
PHY1_TXD1	PU_MIO18_L1	G20	发送数据 bit1
PHY1_TXD2	PU_MIO19_L1	G19	发送数据 bit2
PHY1_TXD3	PU_MIO20_L1	H19	发送数据 bit3
PHY1_TXCTL	PU_MIO21_L1	F22	发送使能信号
PHY1_RXCK	PU_MIO22_L1	G22	RGMII 接收时钟
PHY1_RXD0	PU_MIO23_L1	F20	接收数据 Bit0
PHY1_RXD1	PU_MIO24_L1	J19	接收数据 Bit1
PHY1_RXD2	PU_MIO25_L1	F19	接收数据 Bit2
PHY1_RXD3	PU_MIO26_L1	H17	接收数据 Bit3
PHY1_RXCTL	PU_MIO27_L1	F18	接收数据有效信号

PHY1_MDC	PU_MIO52_L1	A20	MDIO 管理时钟
PHY1_MDIO	PU_MIO53_L1	A19	MDIO 管理数据
PHY1_RESET	PU_MIO8_L0	A24	复位信号

PA 端千兆以太网引脚分配如下：

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
PHY2_TXCK	R4_L23_P	C11	RGMII 发送时钟
PHY2_TXD0	R4_L2_P	E10	发送数据 bit 0
PHY2_TXD1	R4_L2_N	D10	发送数据 bit1
PHY2_TXD2	R4_L6_P	F13	发送数据 bit2
PHY2_TXD3	R4_L6_N	E13	发送数据 bit3
PHY2_TXCTL	R4_L23_N	B11	发送使能信号
PHY2_RXCK	R4_L11_P	G14	RGMII 接收时钟
PHY2_RXD0	R4_L24_P	A13	接收数据 Bit0
PHY2_RXD1	R4_L24_N	A12	接收数据 Bit1
PHY2_RXD2	R4_L22_N	B12	接收数据 Bit2
PHY2_RXD3	R4_L22_P	C12	接收数据 Bit3
PHY2_RXCTL	R4_L11_N	F14	接收数据有效信号
PHY2_MDC	R4_L19_N	C13	MDIO 管理时钟
PHY2_MDIO	R4_L19_P	D13	MDIO 管理数据
PHY2_RESET	R4_L21_N	A14	复位信号

#### (四) USB2.0 Host 接口

AXK400扩展板上有4个USB2.0 HOST接口，USB2.0收发器采用的是一个1.8V的，高速的支持ULPI标准接口的USB3320C-EZK芯片，再通过一个USB HUB芯片USB2514扩展出4路USB HOST接口。PG2K400的USB总线接口和USB3320C-EZK收发器相连接，实现高速的USB2.0 Host模式的数据通信。USB3320C的USB的数据和控制信号连接到PG2K400芯片PU端的BANKL1的IO口上，USB接口差分信号(DP/DM)连接到USB2514芯片扩展出4个USB接口。2个24MHz的晶振为分别为USB3320C和USB2514芯片提供时钟。

4个USB接口为扁型USB接口(USB Type A)，方便用户同时连接不同的USB Slave外设(比如USB鼠标和USB键盘)，每个USB接口提供了+5V的电源。

PG2K400处理器和USB3320C-EZK芯片及USB2514芯片连接的示意图如3-4-1所示：

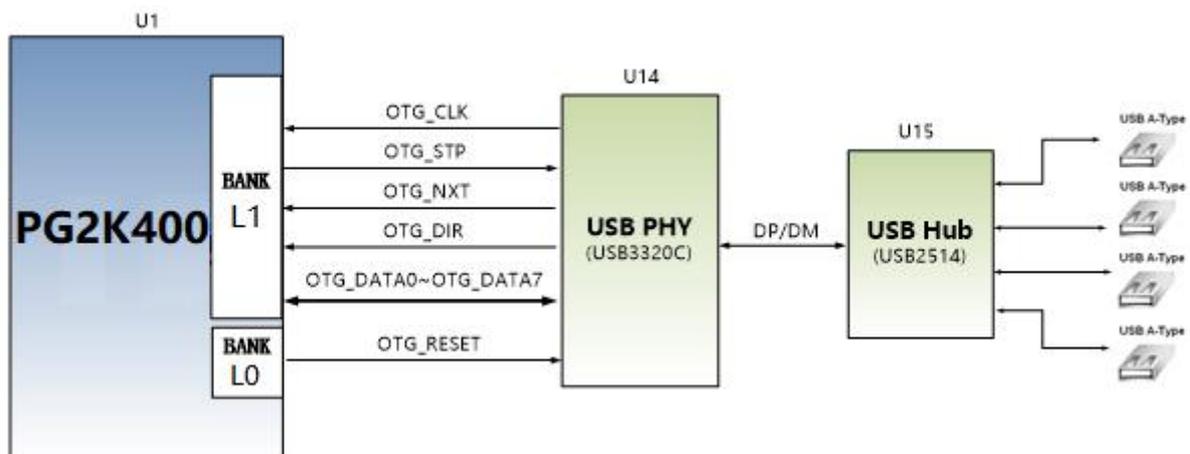


图 3-4-1 Kosmo2 和 USB 芯片间连接示意图

### USB2.0 引脚分配：

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
OTG_DATA4	PU_MIO28_L1	J18	USB 数据 Bit4
OTG_DIR	PU_MIO29_L1	E20	USB 数据方向信号
OTG_STP	PU_MIO30_L1	K19	USB 停止信号
OTG_NXT	PU_MIO31_L1	E21	USB 下一数据信号
OTG_DATA0	PU_MIO32_L1	K17	USB 数据 Bit0
OTG_DATA1	PU_MIO33_L1	E22	USB 数据 Bit1
OTG_DATA2	PU_MIO34_L1	J16	USB 数据 Bit2
OTG_DATA3	PU_MIO35_L1	D19	USB 数据 Bit3
OTG_CLK	PU_MIO36_L1	K16	USB 时钟信号
OTG_DATA5	PU_MIO37_L1	D20	USB 数据 Bit5
OTG_DATA6	PU_MIO38_L1	D21	USB 数据 Bit6
OTG_DATA7	PU_MIO39_L1	C21	USB 数据 Bit7
OTG_RESETN	PU_MIO8_L0	A24	USB 复位信号

## (五) HDMI 输出接口

HDMI 输出接口的实现，是选用 ANALOG DEVICE 公司的 ADV7511 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

其中，ADV7511 的视频数字接口，音频数字接口和 I2C 配置接口和 Kosmo2 PU 部分的 BANKR4 IO 相连，Kosmo2 系统通过 I2C 管脚来对 ADV7511 进行初始化和控制操作。ADV7511 芯片和 Kosmo2 的硬件连接示意图如下图 3-5-1 所示：

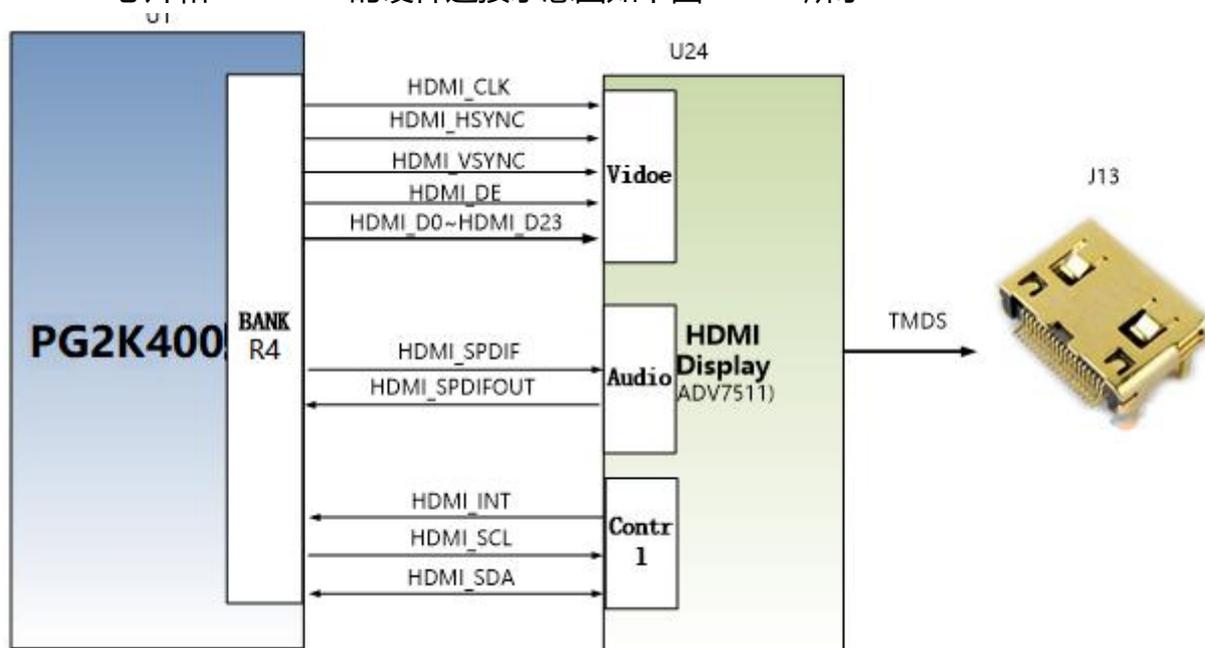


图 3-5-1 HDMI 输出接口设计原理图

**PG2K400 的引脚分配：**

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
HDMI_CLK	R4_L9_P	K15	HDMI 视频信号时钟
HDMI_HSYNC	R4_L3_N	F10	HDMI 视频信号行同步
HDMI_VSYNC	R4_L3_P	G10	HDMI 视频信号列同步
HDMI_DE	R4_L7_N	H12	HDMI 视频信号有效
HDMI_D0	R4_L7_P	H13	HDMI 视频信号数据 0
HDMI_D1	R4_L4_P	E11	HDMI 视频信号数据 1
HDMI_D2	R4_L4_N	D11	HDMI 视频信号数据 2
HDMI_D3	R4_L5_N	G11	HDMI 视频信号数据 3
HDMI_D4	R4_L5_P	G12	HDMI 视频信号数据 4
HDMI_D5	R4_L8_P	K13	HDMI 视频信号数据 5
HDMI_D6	R4_L8_N	J13	HDMI 视频信号数据 6
HDMI_D7	R4_L12_P	J14	HDMI 视频信号数据 7
HDMI_D8	R4_L12_N	H14	HDMI 视频信号数据 8
HDMI_D9	R4_L9_N	J15	HDMI 视频信号数据 9

HDMI_D10	R4_L1_N	E12	HDMI 视频信号数据 10
HDMI_D11	R4_L1_P	F12	HDMI 视频信号数据 11
HDMI_D12	R4_L17_N	B15	HDMI 视频信号数据 12
HDMI_D13	R4_L17_P	B16	HDMI 视频信号数据 13
HDMI_D14	R4_L20_N	B14	HDMI 视频信号数据 14
HDMI_D15	R4_L20_P	C14	HDMI 视频信号数据 15
HDMI_D16	R4_L10_N	G15	HDMI 视频信号数据 16
HDMI_D17	R4_L10_P	G16	HDMI 视频信号数据 17
HDMI_D18	R4_L13_N	D14	HDMI 视频信号数据 18
HDMI_D19	R4_L13_P	D15	HDMI 视频信号数据 19
HDMI_D20	R4_L16_N	D16	HDMI 视频信号数据 20
HDMI_D21	R4_L16_P	E16	HDMI 视频信号数据 21
HDMI_D22	R4_L15_P	C17	HDMI 视频信号数据 22
HDMI_D23	R4_L15_N	C16	HDMI 视频信号数据 23
HDMI_INT	R4_L21_P	A15	HDMI 中断信号
HDMI_SCL	R4_L18_P	B17	HDMI IIC 控制时钟
HDMI_SDA	R4_L18_N	A17	HDMI IIC 控制数据

## (六) HDMI 输入接口

HDMI 输入接口我们采用了 Silion Image 公司的 SIL9011/ SIL9013 HDMI 解码芯片, 最高支持 1080P@60Hz 输入, 支持不同格式的数据输出。;

其中, SIL9011/ SIL9013 的 IIC 配置接口也与 FPGA 的 BANK L6 的 IO 相连, PG2K400 通过 I2C 总线的编程来对 SIL9013 进行初始化和控制操作, HDMI 输入接口的硬件连接如图 3-6-1 所示。

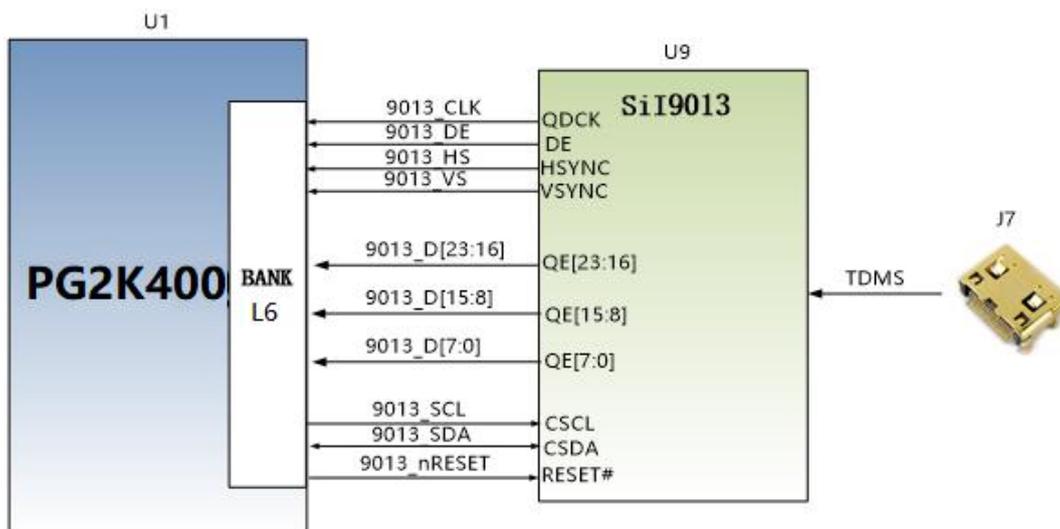


图 3-6-1 HDMI 输入原理图

PG2K400 的引脚分配:

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
9013_nRESET	L6_L24_N	AA18	9013 复位信号
9013_CLK	L6_L11_P	AD23	9013 视频信号时钟
9013_HS	L6_L5_P	AF24	9013 视频信号行同步
9013_VS	L6_L5_N	AF25	9013 视频信号列同步
9013_DE	L6_L4_N	AD26	9013 视频信号有效
9013_D[0]	L6_L4_P	AD25	9013 视频信号数据 0
9013_D[1]	L6_L11_N	AD24	9013 视频信号数据 1
9013_D[2]	L6_L12_N	AC24	9013 视频信号数据 2
9013_D[3]	L6_L12_P	AC23	9013 视频信号数据 3
9013_D[4]	L6_L2_P	AB26	9013 视频信号数据 4
9013_D[5]	L6_L2_N	AC26	9013 视频信号数据 5
9013_D[6]	L6_L6_N	AB24	9013 视频信号数据 6
9013_D[7]	L6_L6_P	AA24	9013 视频信号数据 7
9013_D[8]	L6_L1_N	AB25	9013 视频信号数据 8
9013_D[9]	L6_L1_P	AA25	9013 视频信号数据 9
9013_D[10]	L6_L8_P	AE23	9013 视频信号数据 10
9013_D[11]	L6_L8_N	AF23	9013 视频信号数据 11
9013_D[12]	L6_L10_N	AA23	9013 视频信号数据 12

9013_D[13]	L6_L10_P	AA22	9013 视频信号数据 13
9013_D[14]	L6_L15_N	AF20	9013 视频信号数据 14
9013_D[15]	L6_L15_P	AF19	9013 视频信号数据 15
9013_D[16]	L6_L23_N	W19	9013 视频信号数据 16
9013_D[17]	L6_L23_P	W18	9013 视频信号数据 17
9013_D[18]	L6_L22_P	AA19	9013 视频信号数据 18
9013_D[19]	L6_L22_N	AB19	9013 视频信号数据 19
9013_D[20]	L6_L17_N	AD19	9013 视频信号数据 20
9013_D[21]	L6_L17_P	AD18	9013 视频信号数据 21
9013_D[22]	L6_L19_N	Y20	9013 视频信号数据 22
9013_D[23]	L6_L19_P	W20	9013 视频信号数据 23
9013_SCL	L6_L3_N	AE26	9013 IIC 控制时钟
9013_SDA	L6_L3_P	AE25	9013 IIC 控制数据

## (七) 光纤接口

AXK400 扩展板上有 4 路光纤接口, 用户可以购买 SFP 光模块(市场上 1.25G, 2.5G, 10G 光模块) 插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 PG2K400 的 BANKQR8 的 HSST 收发器的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 PG2K400 和光模块, 每路 TX 发送和 RX 接收数据速率高达 10Gb/s。BANKQR8 的 HSST 收发器的参考时钟由核心板的 125M 差分时钟提供。

FPGA 和光纤设计示意图如下图 3-7-1 所示:

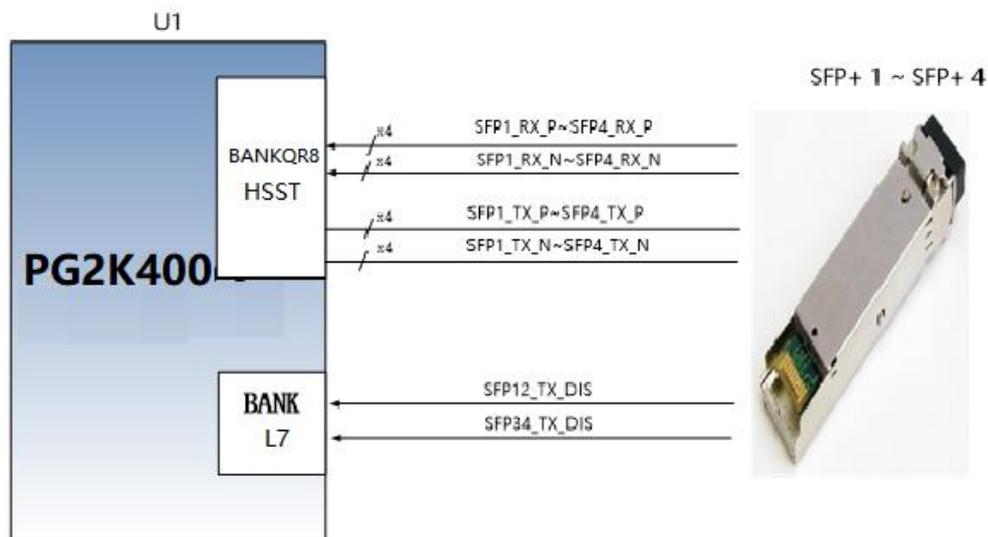


图 3-7-1 光纤设计示意图

## 4 路光纤接口 PG2K400 引脚分配如下:

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
SFP1_TX_P	BANKQR8_TX0_P	AF8	光模块 1 数据发送正
SFP1_TX_N	BANKQR8_TX0_N	AF7	光模块 1 数据发送负
SFP1_RX_P	BANKQR8_RX0_P	AD8	光模块 1 数据接收正
SFP1_RX_N	BANKQR8_RX0_N	AD7	光模块 1 数据接收负
SFP2_TX_P	BANKQR8_TX1_P	AF4	光模块 2 数据发送正
SFP2_TX_N	BANKQR8_TX1_N	AF3	光模块 2 数据发送负
SFP2_RX_P	BANKQR8_RX1_P	AE6	光模块 2 数据接收正
SFP2_RX_N	BANKQR8_RX1_N	AE5	光模块 2 数据接收负
SFP3_TX_P	BANKQR8_TX2_P	AE2	光模块 3 数据发送正
SFP3_TX_N	BANKQR8_TX2_N	AE1	光模块 3 数据发送负
SFP3_RX_P	BANKQR8_RX2_P	AC6	光模块 3 数据接收正
SFP3_RX_N	BANKQR8_RX2_N	AC5	光模块 3 数据接收负
SFP4_TX_P	BANKQR8_TX3_P	AC2	光模块 4 数据发送正
SFP4_TX_N	BANKQR8_TX3_N	AC1	光模块 4 数据发送负
SFP4_RX_P	BANKQR8_RX3_P	AD4	光模块 4 数据接收正
SFP4_RX_N	BANKQR8_RX3_N	AD3	光模块 4 数据接收负
SFP12_TX_DIS	L7_L18_N	AF17	光模块 12 光发射禁止, 高有效
SFP34_TX_DIS	L7_L18_P	AE17	光模块 34 光发射禁止, 高有效

## (八) PCIe 插槽

AXK400 扩展板上有一个 PCIe x4 的接口, 在 PCB 物理上做成 PCIE x8 的接口。在电气连接上我们只有 4 对收发器连接到 PCIEx8 的金手指上, 所以只能实现 PCIEex4, PCIEex2, PCIEex1 的数据通信。

PCIe 接口的收发信号直接跟 PG2K400 BANKQR7 的 HSST 收发器相连接, 4 路 TX 信号和 RX 信号都是以差分信号方式连接到 BANKQR7, 单通道通信速率可高达 8G bit 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-8-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

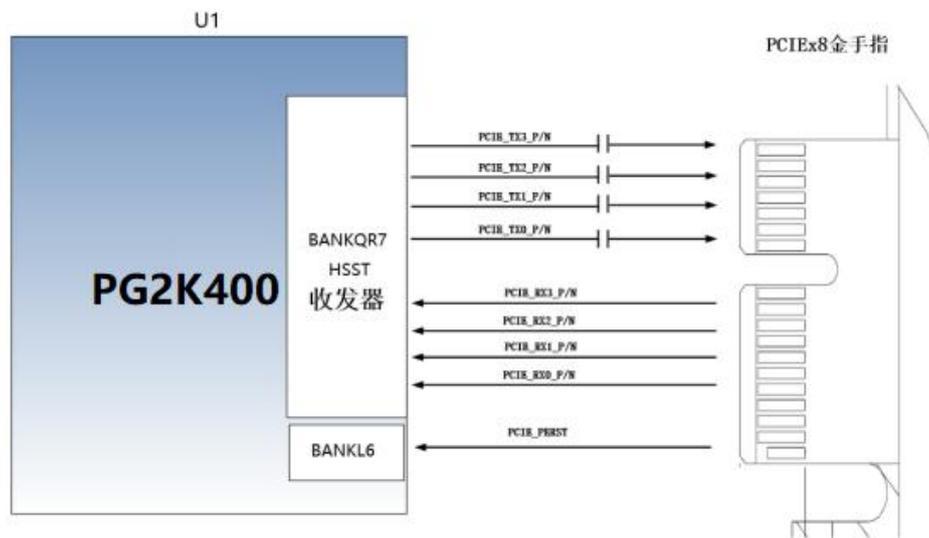


图 3-8-1 PCIe 插槽设计示意图

PCIe x4 接口 PG2K400 引脚分配如下:

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
PCIE_RX0_P	BANKQR7_RX3_P	T4	PCIE 通道 0 数据接收正
PCIE_RX0_N	BANKQR7_RX3_N	T3	PCIE 通道 0 数据接收负
PCIE_RX1_P	BANKQR7_RX2_P	V4	PCIE 通道 1 数据接收正
PCIE_RX1_N	BANKQR7_RX2_N	V3	PCIE 通道 1 数据接收负
PCIE_RX2_P	BANKQR7_RX1_P	Y4	PCIE 通道 2 数据接收正
PCIE_RX2_N	BANKQR7_RX1_N	Y3	PCIE 通道 2 数据接收负
PCIE_RX3_P	BANKQR7_RX0_P	AB4	PCIE 通道 3 数据接收正
PCIE_RX3_N	BANKQR7_RX0_N	AB3	PCIE 通道 3 数据接收负
PCIE_TX0_P	BANKQR7_TX3_P	R2	PCIE 通道 0 数据发送正
PCIE_TX0_N	BANKQR7_TX3_N	R1	PCIE 通道 0 数据发送负
PCIE_TX1_P	BANKQR7_TX2_P	U2	PCIE 通道 1 数据发送正
PCIE_TX1_N	BANKQR7_TX2_N	U1	PCIE 通道 1 数据发送负
PCIE_TX2_P	BANKQR7_TX1_P	W2	PCIE 通道 2 数据发送正
PCIE_TX2_N	BANKQR7_TX1_N	W1	PCIE 通道 2 数据发送负
PCIE_TX3_P	BANKQR7_TX0_P	AA2	PCIE 通道 3 数据发送正
PCIE_TX3_N	BANKQR7_TX0_N	AA1	PCIE 通道 3 数据发送负

PCIE_CLK_P	BANKQR7_CLK0_P	R6	PCIE 通道参考时钟正
PCIE_CLK_N	BANKQR7_CLK0_N	R5	PCIE 通道参考时钟负
PCIE_PERST	L6_L24_P	Y18	PCIE 板卡的复位信号

### (九) SD 卡槽

AXK400底板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储PG2K400芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与PG2K400的PU BANKL1的IO信号相连，因为该BANK的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。Kosmo2 PU和SD卡连接器的原理图如图3-9-1所示。

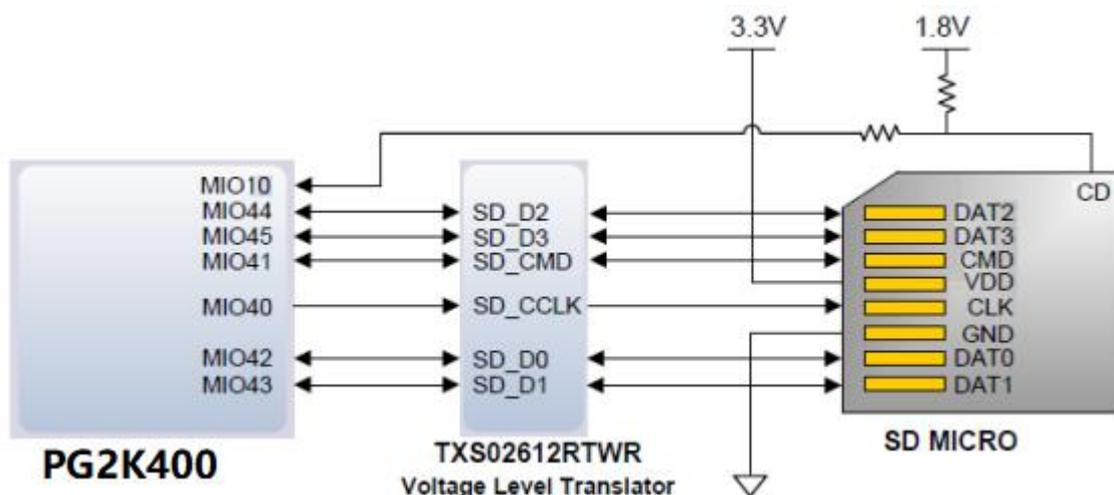


图 3-9-1 SD 卡连接示意图

#### SD 卡槽引脚分配

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
SD_CLK	PU_MIO40	C22	SD时钟信号
SD_CMD	PU_MIO41	C19	SD命令信号
SD_D0	PU_MIO42	F17	SD数据Data0
SD_D1	PU_MIO43	D18	SD数据Data1
SD_D2	PU_MIO44	E18	SD数据Data2
SD_D3	PU_MIO45	C18	SD数据Data3

## (十) 40 针扩展口

底板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J33, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。扩展口的 IO 连接的 PG2K400 芯片 BANKL7 的 IO 上, 默认为 3.3V, 切勿直接跟外面的 5V 设备连接, 以免烧坏 Kosmo2 芯片。如果要接 5V 设备, 需要接电平转换芯片。

扩展口(J33)的电路如下图 3-10-1 所示

### FPGA 40 PIN External IO

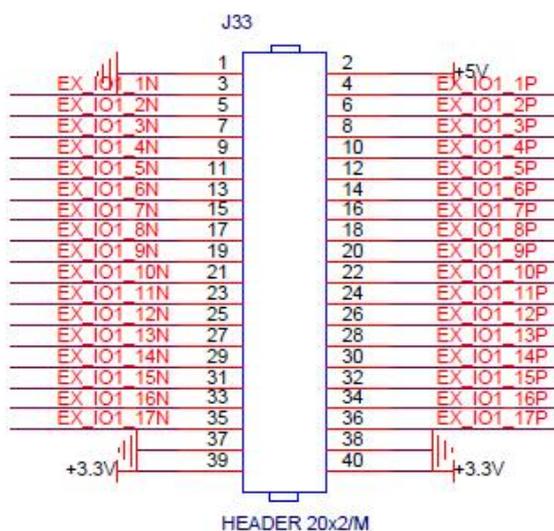


图 3-10-1 扩展口 J33 原理图

J33 扩展口 PG2K400 的引脚分配如下:

J33 管脚	信号名称	PG2K400 引脚号	J33 管脚	信号名称	PG2K400 引脚号
1	GND	-	2	+5V	-
3	IO1_1N	Y11	4	IO1_1P	Y12
5	IO1_2N	AC11	6	IO1_2P	AB12
7	IO1_3N	AA12	8	IO1_3P	AA13
9	IO1_4N	AF10	10	IO1_4P	AE11
11	IO1_5N	AC13	12	IO1_5P	AD13
13	IO1_6N	Y13	14	IO1_6P	W13

15	IO1_7N	AD11	16	IO1_7P	AC12
17	IO1_8N	AA14	18	IO1_8P	AA15
19	IO1_9N	Y10	20	IO1_9P	AA10
21	IO1_10N	AE15	22	IO1_10P	AE16
23	IO1_11N	W15	24	IO1_11P	W16
25	IO1_12N	AC16	26	IO1_12P	AC17
27	IO1_13N	AD10	28	IO1_13P	AE10
29	IO1_14N	AE12	30	IO1_14P	AF12
31	IO1_15N	AB10	32	IO1_15P	AB11
33	IO1_16N	AB16	34	IO1_16P	AB17
35	IO1_17N	AA17	36	IO1_17P	Y17
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

## (十一) LED 灯

AXK400 底板上共有 7 个发光二极管 LED, 1 个电源指示灯; 2 个串口通信指示灯, 4 个 PA 控制指示灯。当开发板上电后电源指示灯会亮起; 4 个 LED 灯连接到 PA 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为低时, 用户 LED 灯熄灭, 当连接 IO 电压为高时, 用户 LED 灯会被点亮。用户 LED 灯硬件连接的示意图如图 3-11-1 所示:

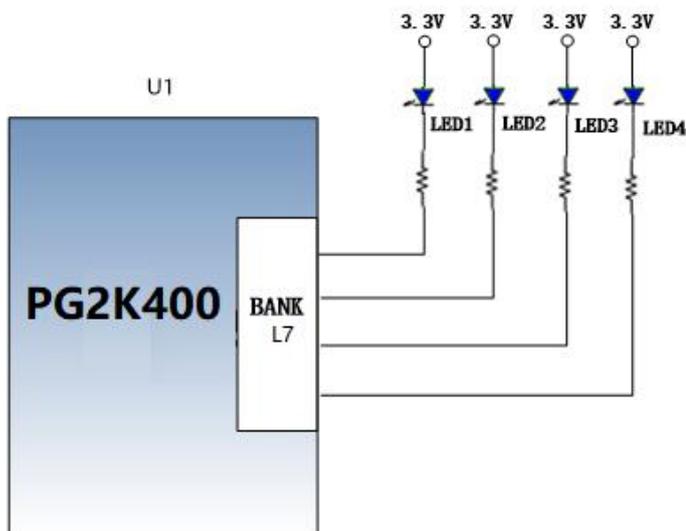


图 3-11-1 用户 LED 灯硬件连接示意图

## 用户 LED 灯的引脚分配

信号名称	PG2K400 引脚名	PG2K400 管脚号	备注
PL_LED1	L7_L14_P	AB15	用户PL LED1灯
PL_LED2	L7_L14_N	AB14	用户PL LED2灯
PL_LED3	L7_L10_N	AF13	用户PL LED3灯
PL_LED4	L7_L10_P	AE13	用户PL LED4灯

## (十二) 复位按键和用户按键

AXK400 底板上有 1 个复位按键 RESET 和 4 个用户按键。复位信号连接到核心板的复位芯片输入，用户可以使用这个复位按键来复位 PG2K400 系统，另外 4 个按键是连接到 PA 的 IO 上。复位按键和用户按键都是低电平有效，复位按键和用户按键的连接示意图如图 3-12-1 所示：

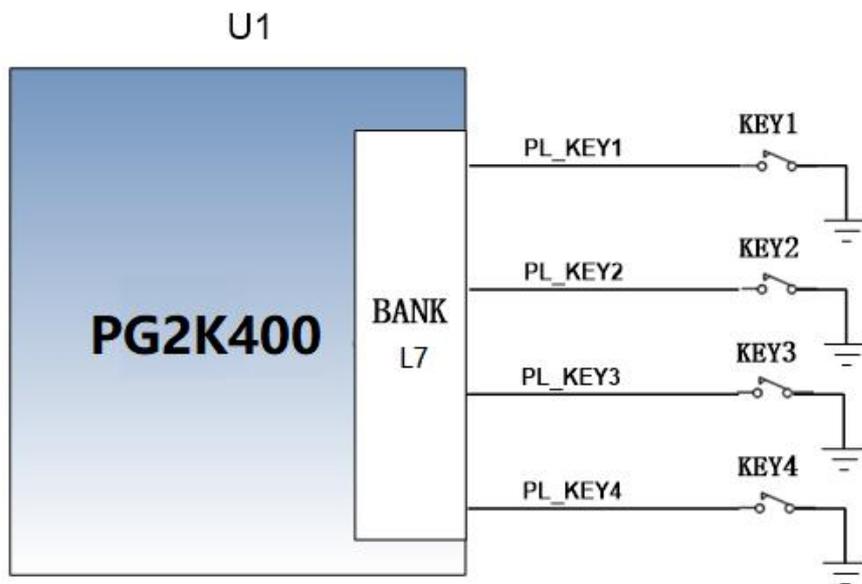


图 3-12-1 复位按键连接示意图

## 按键的 PG2K400 管脚分配

信号名称	PG2K400 引脚名	PG2K400 引脚号	备注
PL_KEY1	L7_L16_P	AF15	PL按键1输入
PL_KEY2	L7_L16_N	AF14	PL按键2输入
PL_KEY3	L7_L13_N	AD14	PL按键3输入

PL_KEY4	L7_L13_P	AC14	PL按键4输入
---------	----------	------	---------

### (十三) JTAG 调试口

在 AXK400 底板上预留了一个 JTAG 接口，用于下载 PG2K400 程序或者固化程序到 FLASH。为了带电插拔造成对 PG2K400 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 PG2K400 芯片的损坏。

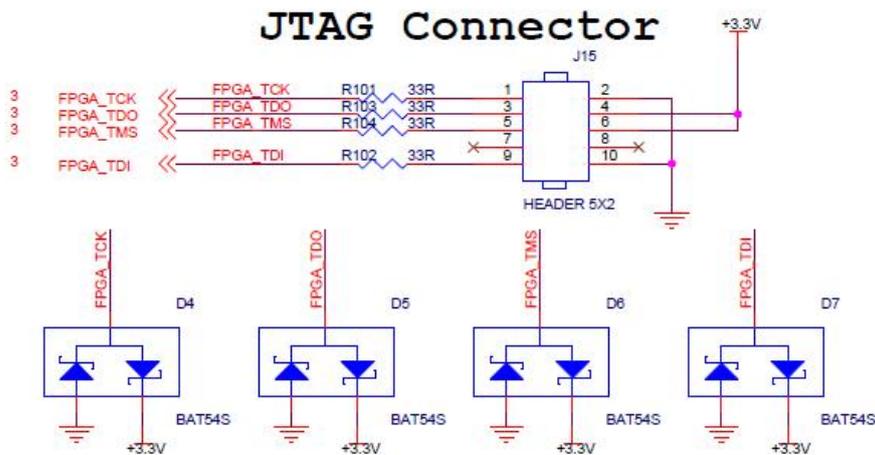


图3-13-1 原理图中JTAG接口部分

下图为扩展板上 JTAG 接口实物图,用户可以通过我们提供的 USB 下载器连接 PC 和 JTAG 接口进行 PG2K400 的系统调试 JTAG 线插拔的时候注意不要热插拔。

### (十四) 拨码开关配置

开发板上有一个 2 位的拨码开关 SW1 用来配置 PG2K400 系统的启动模式。AXK400 系统开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。PG2K400 芯片上电后会检测响应 MIO 口 (MIO5 和 MIO4) 的电平来决定那种启动模式。用户可以通过核心板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 3-14-1 所示。

SW1	拨码位置 (1, 2)	MIO5,MIO4电平	启动模式
	ON、ON	0、0	JTAG

	OFF、OFF	1、1	SD卡
	OFF、ON	1、0	QSPI FLASH

表3-14-1 SW1启动模式配置

## (十五) 电源

开发板的电源输入电压为 DC12V，可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源, 不要用其他规格电源，以免损坏开发板。底板上通过 1 路 DC/DC 电源芯片 ETA8156FT2G 和 2 路 DC/DC 电源芯片 ETA1471FT2G 转换成 +5V，+3.3V 和 1.8V 三路电源。因为 +5V 电源通过板间连接器给核心板供电，所以 DCDC 电源的电流输出为 6A，其它 2 路电源电流输出为 3A。

板上的电源设计示意图如下图 3-15-1 所示：

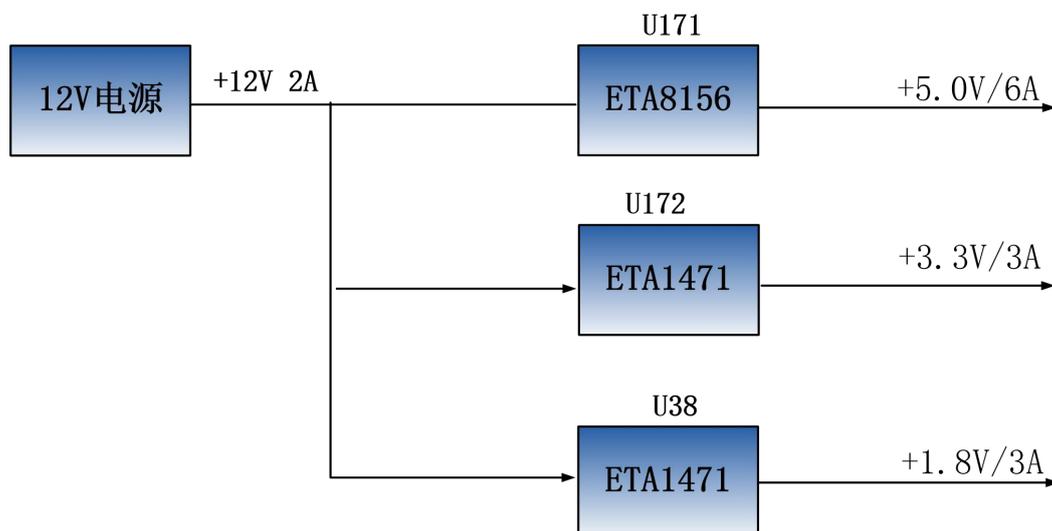


图 3-15-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+5.0V	核心板供电电源
+1.8V	以太网, HDMI, USB
+3.3V	以太网, HDMI, USB, SD, 光纤, PCIE

## (十六) 风扇

因为 PG2K400 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风

扇，防止芯片过热。风扇的控制由 PG2K400 芯片来控制，控制管脚连接到 BANKL7 的 IO 上，如果 IO 电平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 3-16-1 所示:

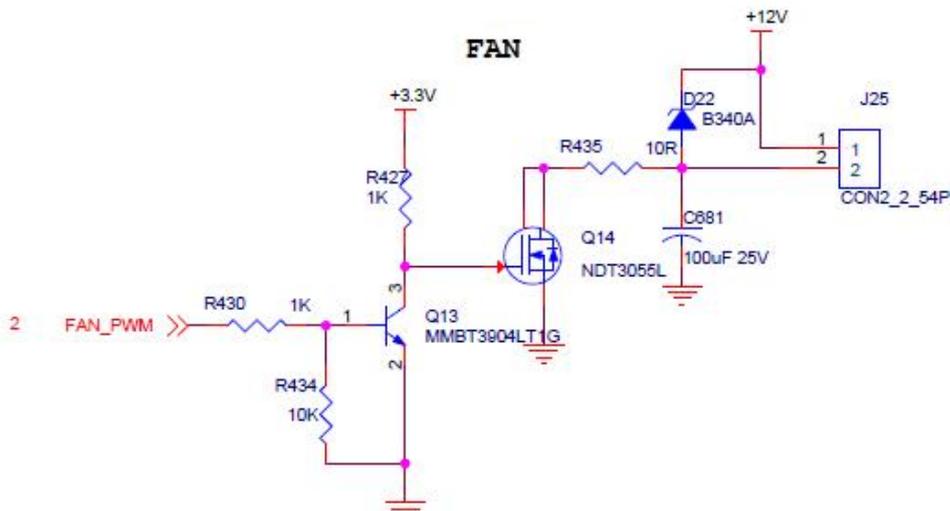


图 3-16-1 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J25 的插座上，红色的为正极，黑色的为负极。

### (十七) 结构尺寸图

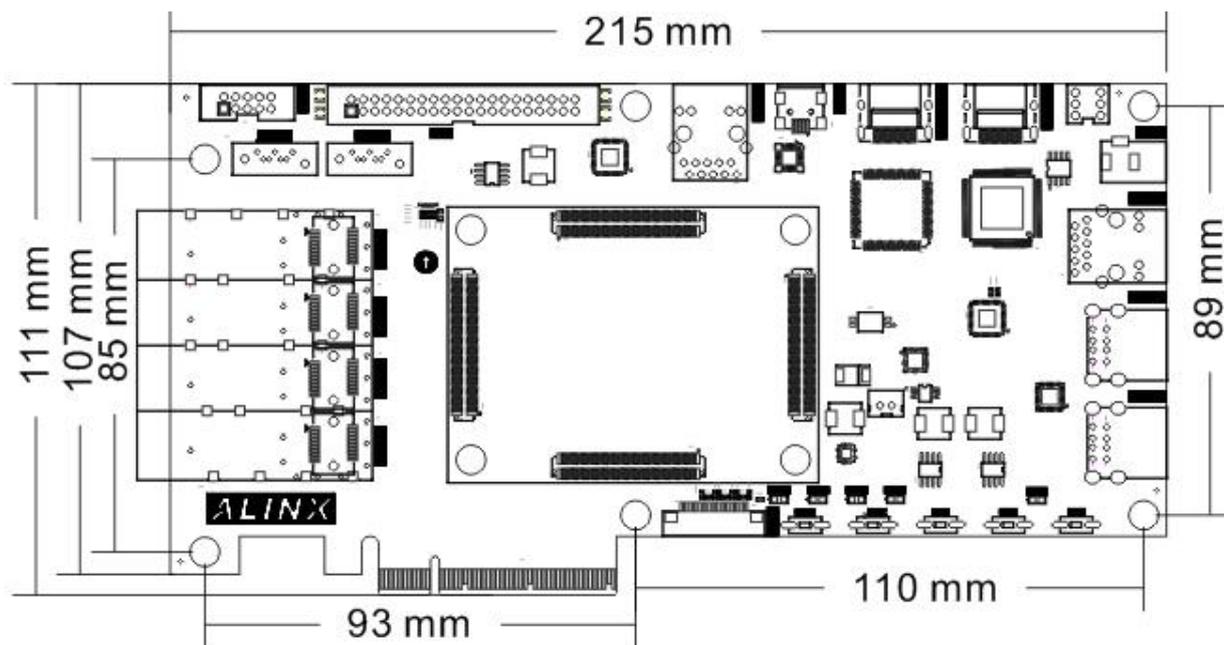


图 3-17-1 正面图 (Top View)