ARTIX-7 FPGA 核心板

用户手册

AC7A035

REV 1.0 版

芯驿电子科技（上海）有限公司

黑金动力社区

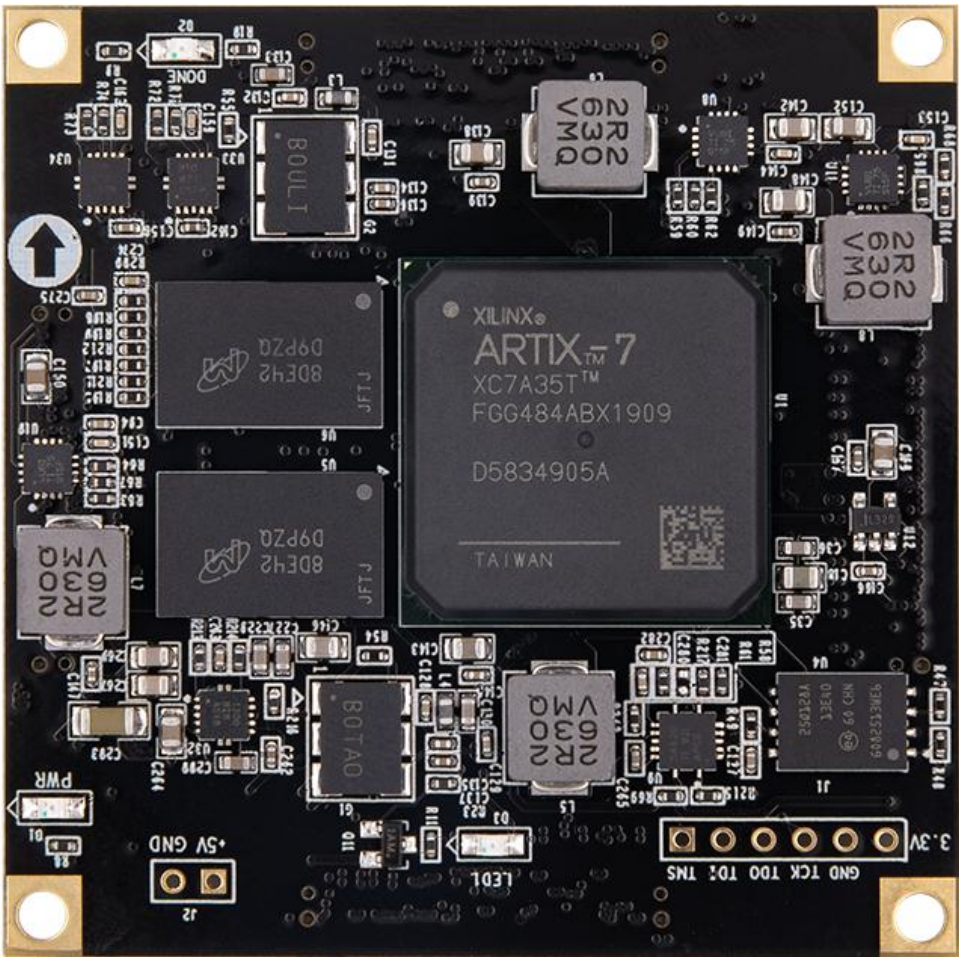
目录

(一) 简介

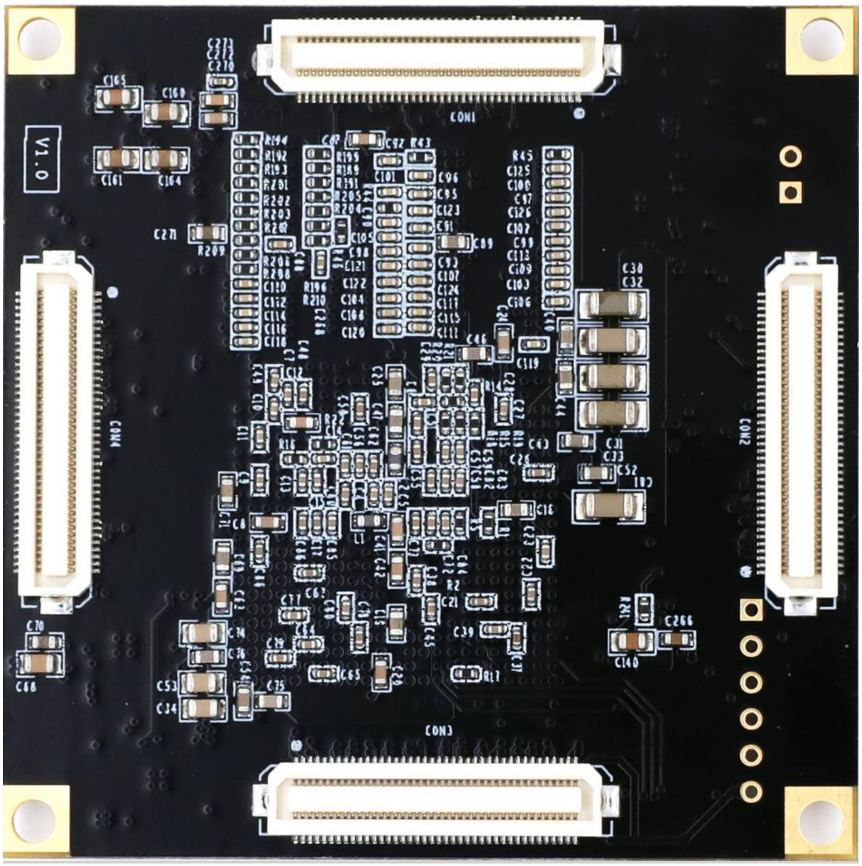
AC7A035(**核心板型号，下同**)核心板，是基于 XILINX 公司的 ARTIX-7 系列 35T 的 XC7A35T-2FGG484I 这款芯片开发的高性能核心板，具有高速，高带宽，高容量等特点，适合高速数据通信，视频图像处理，高速数据采集等方面使用。

这款核心板使用了 2 片 MICRON 公司的 MT41J256M16HA-125 这款 DDR3 芯片，每片 DDR 的容量为 4Gbit；2 片 DDR 芯片组合成 32bit 的数据总线宽度，FPGA 和 DDR3 之间的读写数据带宽高达 25Gb；这样的配置，可以满足高带宽的数据处理的需求。

这款核心板扩展出 145 个 3.3V 电平标准普通 IO 口，15 个 1.5V 电平标准的普通 IO 口，还有 4 对 GTP 高速 RX/TX 差分信号。对于需要大量 IO 的用户，此核心板将是不错的选择。而且，FPGA 芯片到接口之间走线做了等长和差分处理，并且核心板尺寸仅为 60*60（mm），对于二次开发来说非常适合。



AC7A035 核心板正面图



AC7A035 核心板背面图

（二） FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 XC7A35T-2FGG484I 属于 Xilinx 公司 Artix-7 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FBG484 封装，484 个引脚。Xilinx ARTIX-7 FPGA 的芯片命名规则如下：

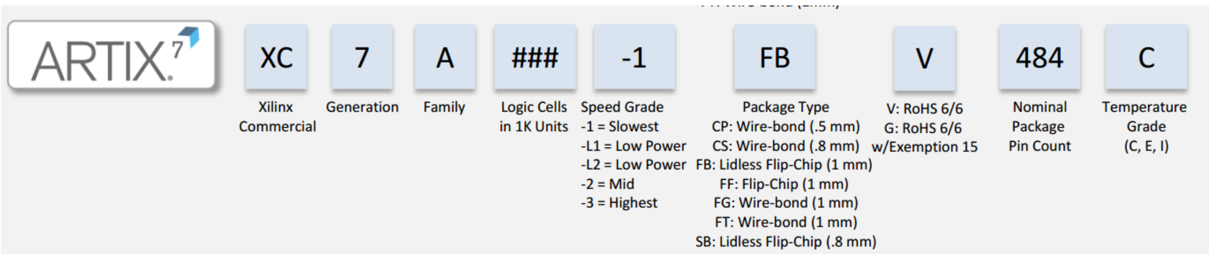


图 2-2-1 为开发板所用的 FPGA 芯片实物图。

图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 XC7A35T 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	33,280
查找表(Slices)	5,200
触发器(CLB flip-flops)	41,600
Block RAM（kb）大小	1,800
DSP 处理单元（DSP Slices）	90
PCIe Gen2	1
模数转换/XADC	1 个 12bit, 1Mbps AD
GTP Transceiver	4 个，6.6Gb/s max
速度等级	-1
温度等级	工业级

FPGA 供电系统

Artix-7 FPGA 电源有 V_{CCINT}, V_{CCBRAM}, V_{CCAUX}, V_{CCO}, $V_{MGTAVCC}$ 和 $V_{MGTAVTT}$。V_{CCINT} 为 FPGA 内核供电引脚，需接 1.0V；V_{CCBRAM},为 FPGA Block RAM 的供电引脚；接 1.0V；V_{CCAUX} 为 FPGA 辅助供电引脚, 接 1.8V；VCCO 为 FPGA 的各个 BANK 的电压，包含 BANK0,BANK13~16, BANK34~35，在 AC7A035 核心板上，BANK34，BANK35 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压都是 3.3V，其中

BANK15 和 BANK16 的 V_{CCO} 是由 LDO 供电，可以通过更换 LDO 芯片更改 BANK 的电平。$V_{MGTAVCC}$ 为 FPGA 内部 GTP 收发器的供电电压，接 1.0V，$V_{MGTAVTT}$ 为 GTP 收发器的端接电压，接 1.2V。

Artix-7 FPGA 系统要求上电顺序分别为先 V_{CCINT} 供电，再是 V_{CCBRAM}, 然后是 V_{CCAUX}，最后为 V_{CCO}。如果 V_{CCINT} 和 V_{CCBRAM} 的电压一样，可以同时上电。断电的顺序则相反。GTP 收发器的上电顺序为 V_{CCINT}, 再是 $V_{MGTAVCC}$, 然后是 $V_{MGTAVTT}$。如果 V_{CCINT} 和 $V_{MGTAVCC}$ 的电压一样，可以同时上电。断电顺序刚好和上电顺序相反。

(三) 有源差分晶振

AC7A035 核心板上配有两个 Sitime 公司的有源差分晶振，一个是 200MHz，型号为 SiT9102-200.00MHz，用于 FPGA 的系统主时钟和用于产生 DDR3 控制时钟；另一个为 125MHz，型号为 SiT9102-125MHz，用于 GTP 收发器的参考时钟输入。

1). 200Mhz 差分时钟

图 3.1 中的 G1 即为我们上述提到的给开发板提供的系统时钟源 200M 有源差分晶振电路。晶振输出连接到 FPGA 的 BANK34 全局时钟管脚 MRCC(R4 和 T4)，这个 200Mhz 的差分时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来产生不同频率的时钟。

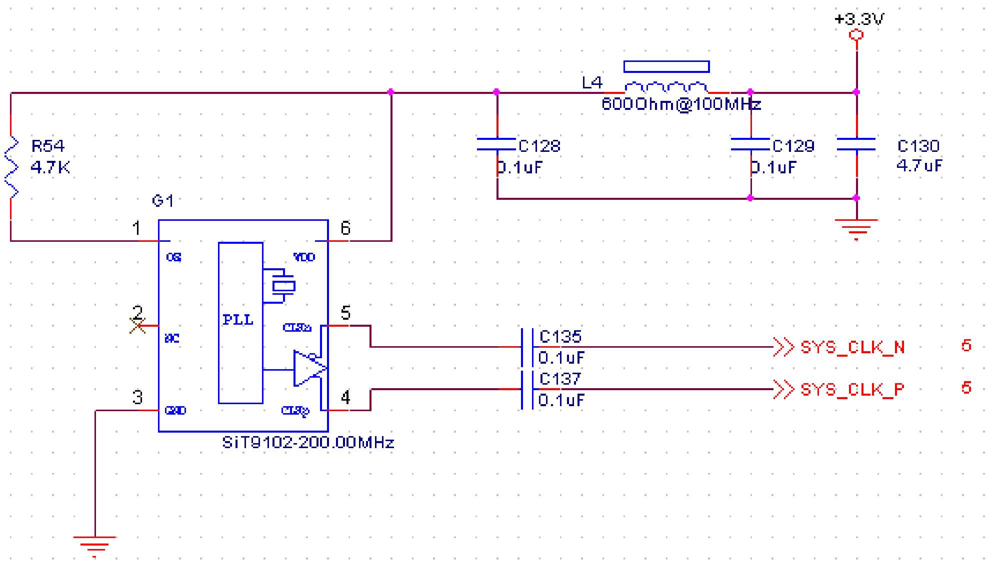


图 2-3-1 200M 有源差分晶振

图 2-3-2 为 200Mhz 差分有源晶振实物图

图 2-3-2 200M 有源差分晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
SYS_CLK_P	R4
SYS_CLK_N	T4

2). 125Mhz 差分时钟

图 2-3-3 中的 G2 即为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 GTP 模块提供的参考输入时钟。晶振输出连接到 FPGA GTP 的 BANK216 时钟管脚 MGTREFCLK0P (F6)和 MGTREFCLK0N(E6)。

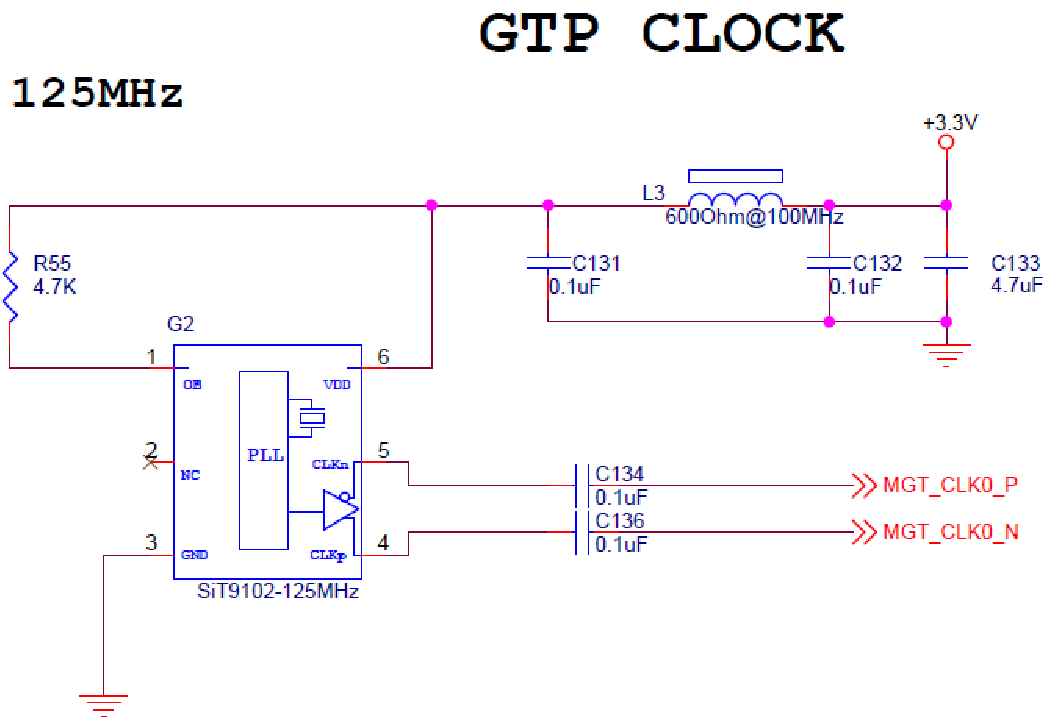


图 2-3-3 125Mhz 有源差分晶振

图 2-3-4 为 125M 差分有源晶振实物图

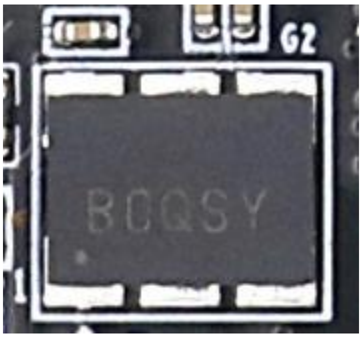


图 2-3-4 125M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
MGT_CLK0_P	F6
MGT_CLK0_N	E6

(四) DDR3

AC7A035 核心板上配有两个 Micron(美光）的 4Gbit（512MB）的 DDR3 芯片(共计 8Gbit),型号为 MT41J256M16HA-125（兼容 MT41K256M16HA-125）。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK 34 和 BANK35 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U5,U6	MT41J256M16HA-125	256M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制， 保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-所示:

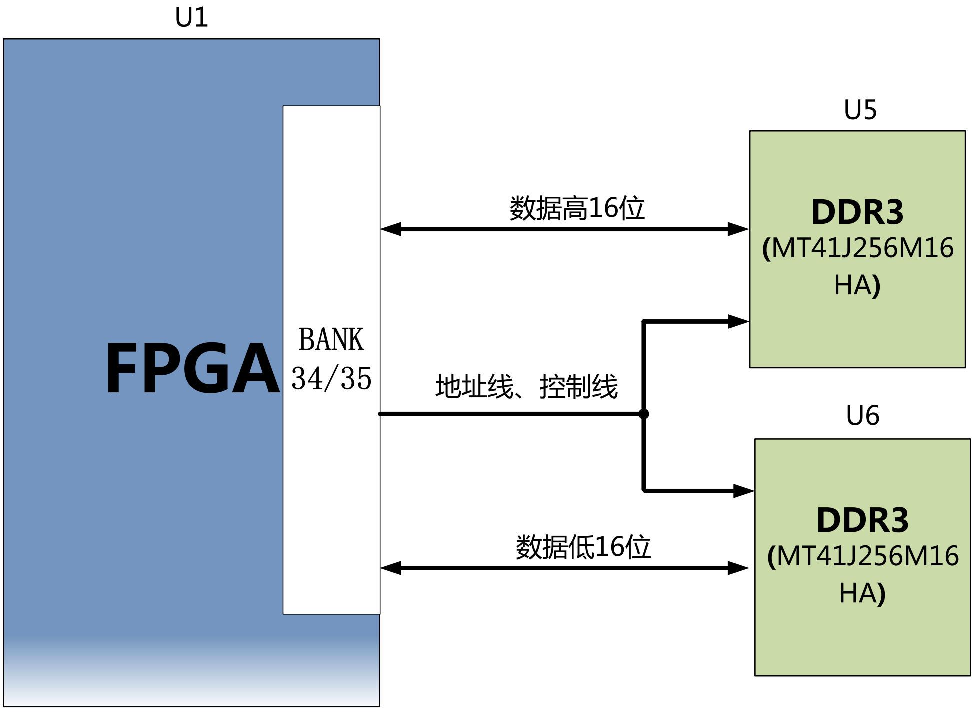


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图

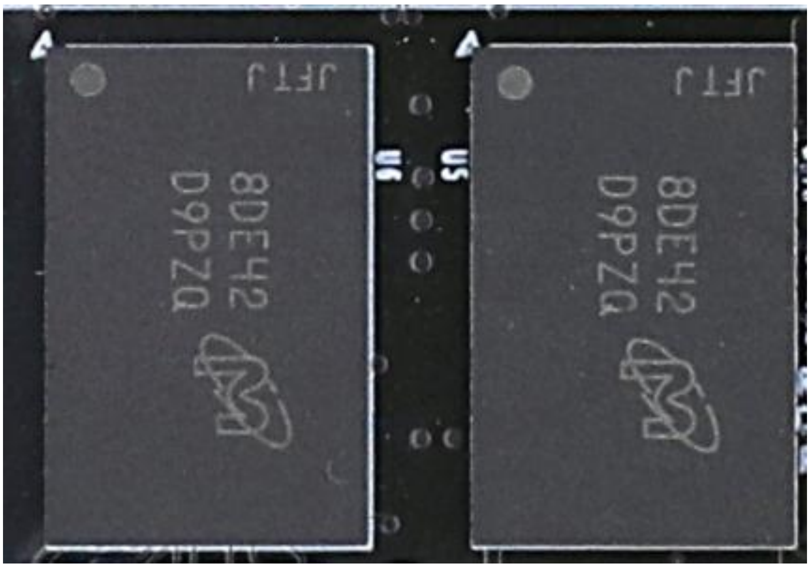


图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
DDR3_DQS0_P	IO_L3P_T0_DQS_AD5P_35	E1
DDR3_DQS0_N	IO_L3N_T0_DQS_AD5N_35	D1
DDR3_DQS1_P	IO_L9P_T1_DQS_AD7P_35	K2
DDR3_DQS1_N	IO_L9N_T1_DQS_AD7N_35	J2

DDR3_DQS2_P	IO_L15P_T2_DQS_35	M1
DDR3_DQS2_N	IO_L15N_T2_DQS_35	L1
DDR3_DQS3_P	IO_L21P_T3_DQS_35	P5
DDR3_DQS3_N	IO_L21N_T3_DQS_35	P4
DDR3_DQ[0]	IO_L2P_T0_AD12P_35	C2
DDR3_DQ [1]	IO_L5P_T0_AD13P_35	G1
DDR3_DQ [2]	IO_L1N_T0_AD4N_35	A1
DDR3_DQ [3]	IO_L6P_T0_35	F3
DDR3_DQ [4]	IO_L2N_T0_AD12N_35	B2
DDR3_DQ [5]	IO_L5N_T0_AD13N_35	F1
DDR3_DQ [6]	IO_L1P_T0_AD4P_35	B1
DDR3_DQ [7]	IO_L4P_T0_35	E2
DDR3_DQ [8]	IO_L11P_T1_SRCC_35	H3
DDR3_DQ [9]	IO_L11N_T1_SRCC_35	G3
DDR3_DQ [10]	IO_L8P_T1_AD14P_35	H2
DDR3_DQ [11]	IO_L10N_T1_AD15N_35	H5
DDR3_DQ [12]	IO_L7N_T1_AD6N_35	J1
DDR3_DQ [13]	IO_L10P_T1_AD15P_35	J5
DDR3_DQ [14]	IO_L7P_T1_AD6P_35	K1
DDR3_DQ [15]	IO_L12P_T1_MRCC_35	H4
DDR3_DQ [16]	IO_L18N_T2_35	L4
DDR3_DQ [17]	IO_L16P_T2_35	M3
DDR3_DQ [18]	IO_L14P_T2_SRCC_35	L3
DDR3_DQ [19]	IO_L17N_T2_35	J6
DDR3_DQ [20]	IO_L14N_T2_SRCC_35	K3
DDR3_DQ [21]	IO_L17P_T2_35	K6
DDR3_DQ [22]	IO_L13N_T2_MRCC_35	J4
DDR3_DQ [23]	IO_L18P_T2_35	L5
DDR3_DQ [24]	IO_L20N_T3_35	P1
DDR3_DQ [25]	IO_L19P_T3_35	N4
DDR3_DQ [26]	IO_L20P_T3_35	R1

DDR3_DQ [27]	IO_L22N_T3_35	N2
DDR3_DQ [28]	IO_L23P_T3_35	M6
DDR3_DQ [29]	IO_L24N_T3_35	N5
DDR3_DQ [30]	IO_L24P_T3_35	P6
DDR3_DQ [31]	IO_L22P_T3_35	P2
DDR3_DM0	IO_L4N_T0_35	D2
DDR3_DM1	IO_L8N_T1_AD14N_35	G2
DDR3_DM2	IO_L16N_T2_35	M2
DDR3_DM3	IO_L23N_T3_35	M5
DDR3_A[0]	IO_L11N_T1_SRCC_34	AA4
DDR3_A[1]	IO_L8N_T1_34	AB2
DDR3_A[2]	IO_L10P_T1_34	AA5
DDR3_A[3]	IO_L10N_T1_34	AB5
DDR3_A[4]	IO_L7N_T1_34	AB1
DDR3_A[5]	IO_L6P_T0_34	U3
DDR3_A[6]	IO_L5P_T0_34	W1
DDR3_A[7]	IO_L1P_T0_34	T1
DDR3_A[8]	IO_L2N_T0_34	V2
DDR3_A[9]	IO_L2P_T0_34	U2
DDR3_A[10]	IO_L5N_T0_34	Y1
DDR3_A[11]	IO_L4P_T0_34	W2
DDR3_A[12]	IO_L4N_T0_34	Y2
DDR3_A[13]	IO_L1N_T0_34	U1
DDR3_A[14]	IO_L6N_T0_VREF_34	V3
DDR3_BA[0]	IO_L9N_T1_DQS_34	AA3
DDR3_BA[1]	IO_L9P_T1_DQS_34	Y3
DDR3_BA[2]	IO_L11P_T1_SRCC_34	Y4
DDR3_S0	IO_L8P_T1_34	AB3
DDR3_RAS	IO_L12P_T1_MRCC_34	V4
DDR3_CAS	IO_L12N_T1_MRCC_34	W4
DDR3_WE	IO_L7P_T1_34	AA1

DDR3_ODT	IO_L14N_T2_SRCC_34	U5
DDR3_RESET	IO_L15P_T2_DQS_34	W6
DDR3_CLK_P	IO_L3P_T0_DQS_34	R3
DDR3_CLK_N	IO_L3N_T0_DQS_34	R2
DDR3_CKE	IO_L14P_T2_SRCC_34	T5

(五) QSPI Flash

核心板上使用了一片 128Mbit 大小的 QSPI FLASH 芯片，型号为 N25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中， QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、 软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U8	N25Q128	128M Bit	Numonyx

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 和 BANK14 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据和片选信号分别连接到 BANK14 的 D00~D03 和 FCS 管脚上。图 2-5-1 为 QSPI Flash 在硬件连接示意图。

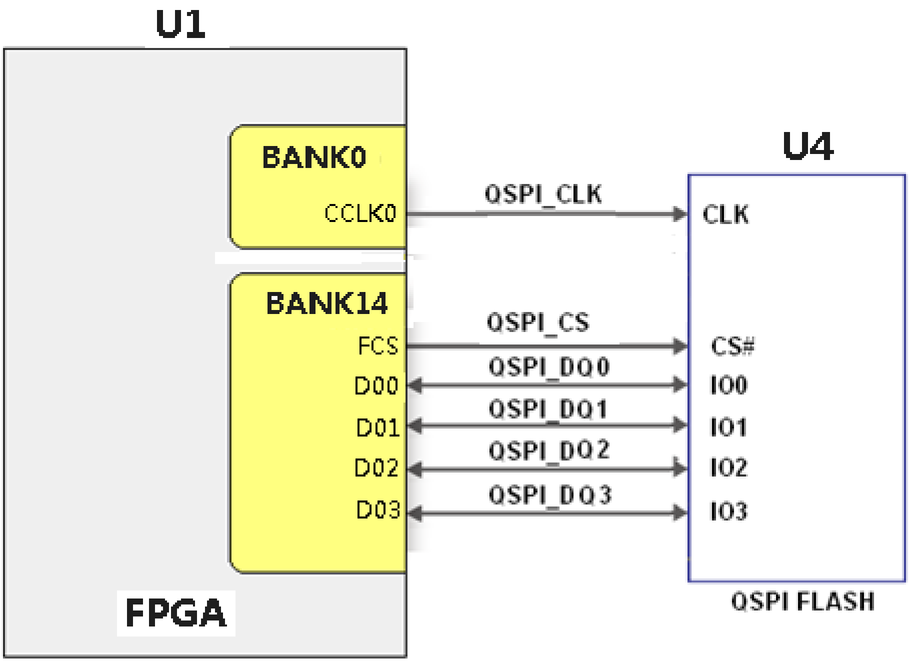


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	CCLK_0	L12
QSPI_CS	IO_L6P_T0_FCS_B_14	T19
QSPI_DQ0	IO_L1P_T0_D00_MOSI_14	P22
QSPI_DQ1	IO_L1N_T0_D01_DIN_14	R22
QSPI_DQ2	IO_L2P_T0_D02_14	P21
QSPI_DQ3	IO_L2N_T0_D03_14	R21

图 2-5-2 为开发板上 QSPI Flash 的实物图

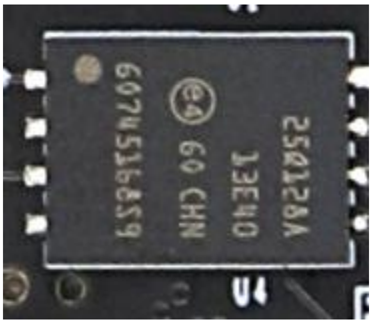


图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

AC7A035 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，另外一个是用户 LED 灯（LED1）。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANK34 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 会被熄灭。LED 灯硬件连接的示意图如图 2-6-1 所示：

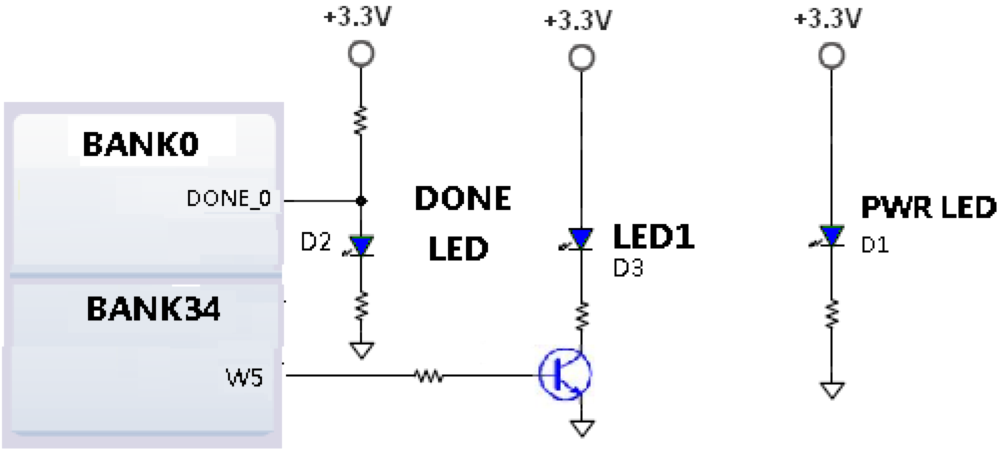


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

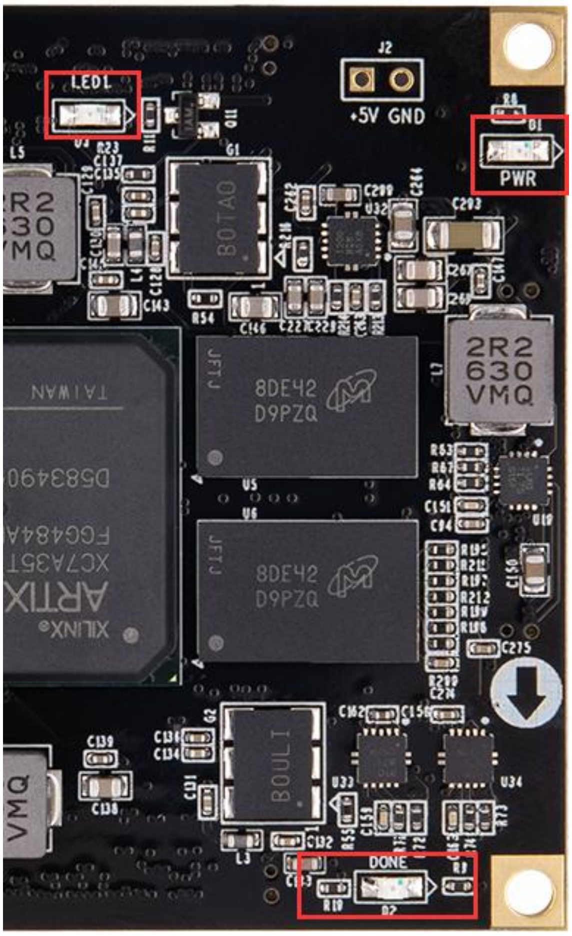


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 引脚名	FPGA 管脚号	备注
LED1	IO_L15N_T2_DQS_34	W5	用户LED灯

(七) JTAG 接口

在 AC7A035 核心板上我们也预留了 JTAG 的测试座 J1，用来核心板单独 JTAG 下载和调试，图 2-8-1 就是 JTAG 口的原理图部分，其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

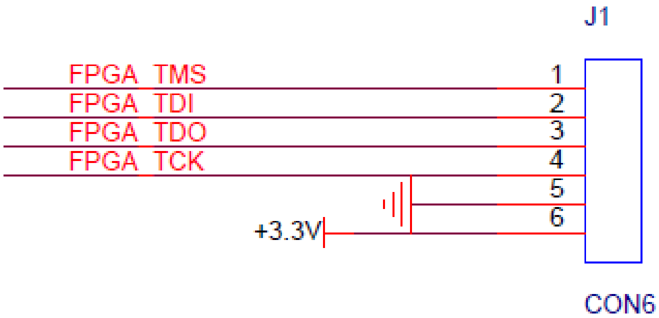


图 2-8-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-7-2 为 JTAG 接口在开发板上的实物图

图 2-7-2 JTAG 接口实物图

(八) 电源接口

为了能使核心板单独工作，我们为核心板预留了 2Pin 的电源接口 J2，用户如果想单独调试核心板的功能（不用底板的情况），外部需要提供+5V 给核心板进行供电 。

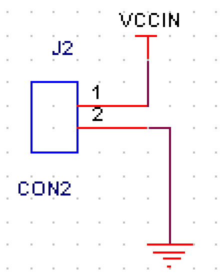


图 2-8-1 电源接口电路

图 2-8-2 为电源接口在开发板上的实物图

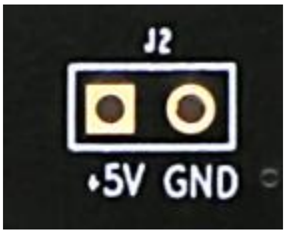


图 2-82 电源接口实物图

(九) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，连接器使用松下的 AXK580137YG，对应底板的连接器型号为 AXK680337YG 。FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接底板的 VCCIN 电源(+5V),地和 FPGA 的普通 IO，这里需要注意，CON1 的有 15 个管脚是连接到 BANK34 的 IO 口，因为 BANK34 连接是连接到 DDR3 的，所以这个 BANK34 的所有 IO 的电压标准都是 1.5V 的。另外 BANK13 的 IO 对 AC7A035 来讲是不存在的，用户不要使用它。CON1 扩展口的管脚分配如表 2-9-1 所示：

2-9-1 表：扩展口 CON1 引脚分配

CON1 管脚	信号名称	FPGA 管脚号	电平标准	CON1 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	VCCIN	-	+5V	PIN2	VCCIN	-	+5V
PIN3	VCCIN	-	+5V	PIN4	VCCIN	-	+5V
PIN5	VCCIN	-	+5V	PIN6	VCCIN	-	+5V
PIN7	VCCIN	-	+5V	PIN8	VCCIN	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC	-	空脚	PIN12	NC	-	空脚
PIN13	NC	-	空脚	PIN14	NC	-	空脚
PIN15	NC	-	空脚	PIN16	B13_L4_P	AA15	3.3V

PIN17	NC	-	空脚	PIN18	B13_L4_N	AB15	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B13_L5_P	Y13	3.3V	PIN22	B13_L1_P	Y16	3.3V
PIN23	B13_L5_N	AA14	3.3V	PIN24	B13_L1_N	AA16	3.3V
PIN25	B13_L7_P	AB11	3.3V	PIN26	B13_L2_P	AB16	3.3V
PIN27	B13_L7_P	AB12	3.3V	PIN28	B13_L2_N	AB17	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B13_L3_P	AA13	3.3V	PIN32	B13_L6_P	W14	3.3V
PIN33	B13_L3_N	AB13	3.3V	PIN34	B13_L6_N	Y14	3.3V
PIN35	B34_L23_P	Y8	1.5V	PIN36	B34_L20_P	AB7	1.5V
PIN37	B34_L23_N	Y7	1.5V	PIN38	B34_L20_N	AB6	1.5V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B34_L18_N	AA6	1.5V	PIN42	B34_L21_N	V8	1.5V
PIN43	B34_L18_P	Y6	1.5V	PIN44	B34_L21_P	V9	1.5V
PIN45	B34_L19_P	V7	1.5V	PIN46	B34_L22_P	AA8	1.5V
PIN47	B34_L19_N	W7	1.5V	PIN48	B34_L22_N	AB8	1.5V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	XADC_VN	M9	模拟	PIN52	NC		
PIN53	XADC_VP	L10	模拟	PIN54	B34_L25	U7	1.5V
PIN55	NC	-	空脚	PIN56	B34_L24_P	W9	1.5V
PIN57	NC	-	空脚	PIN58	B34_L24_N	Y9	1.5V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B16_L1_N	F14	3.3V	PIN62	NC	-	空脚
PIN63	B16_L1_P	F13	3.3V	PIN64	NC	-	空脚
PIN65	B16_L4_N	E14	3.3V	PIN66	NC	-	空脚
PIN67	B16_L4_P	E13	3.3V	PIN68	NC	-	空脚
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B16_L6_N	D15	3.3V	PIN72	NC	-	空脚
PIN73	B16_L6_P	D14	3.3V	PIN74	NC	-	空脚
PIN75	B16_L8_P	C13	3.3V	PIN76	NC	-	空脚
PIN77	B16_L8_N	B13	3.3V	PIN78	NC	-	空脚

PIN79	NC	-	空脚	PIN80	NC	-	空脚

图 2-10-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

图 2-9-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来扩展 FPGA 的 BANK14 的普通 IO，这个 BANK 的电压标准都是 3.3V 的。CON2 扩展口的管脚分配如表 2-10-2 所示：

2-10-2 表：扩展口 CON2 引脚分配

CON2 管脚	信号名称	FPGA 管脚号	电平标准	CON2 管脚	信号名称	FPGA 管脚号	电平标准
PIN1				PIN2	B14_L16_P	V17	3.3V
PIN3				PIN4	B14_L16_N	W17	3.3V
PIN5				PIN6			
PIN7				PIN8			
PIN9	GND	-	地	PIN10	GND	-	地
PIN11				PIN12	B14_L10_P	AB21	3.3V
PIN13				PIN14	B14_L10_N	AB22	3.3V
PIN15				PIN16	B14_L8_N	AA21	3.3V
PIN17				PIN18	B14_L8_P	AA20	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21				PIN22	B14_L15_N	AB20	3.3V
PIN23				PIN24	B14_L15_P	AA19	3.3V
PIN25				PIN26	B14_L17_P	AA18	3.3V
PIN27				PIN28	B14_L17_N	AB18	3.3V
PIN29	GND	-	地	PIN30	GND	-	地

PIN31				PIN32	B14_L6_N	T20	3.3V
PIN33				PIN34	B13_IO0	Y17	3.3V
PIN35				PIN36	B14_L7_N	W22	3.3V
PIN37				PIN38	B14_L7_P	W21	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B14_L11_N	V20	3.3V	PIN42	B14_L4_P	T21	3.3V
PIN43	B14_L11_P	U20	3.3V	PIN44	B14_L4_N	U21	3.3V
PIN45	B14_L14_N	V19	3.3V	PIN46	B14_L9_P	Y21	3.3V
PIN47	B14_L14_P	V18	3.3V	PIN48	B14_L9_N	Y22	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B14_L5_N	R19	3.3V	PIN52	B14_L12_N	W20	3.3V
PIN53	B14_L5_P	P19	3.3V	PIN54	B14_L12_P	W19	3.3V
PIN55	B14_L18_N	U18	3.3V	PIN56	B14_L13_N	Y19	3.3V
PIN57	B14_L18_P	U17	3.3V	PIN58	B14_L13_P	Y18	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61		T16	3.3V	PIN62	B14_L3_N	V22	3.3V
PIN63		U16	3.3V	PIN64	B14_L3_P	U22	3.3V
PIN65	B14_L21_N	P17	3.3V	PIN66	B14_L20_N	T18	3.3V
PIN67	B14_L21_P	N17	3.3V	PIN68	B14_L20_P	R18	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B14_L22_P	P15	3.3V	PIN72	B14_L19_N	R14	3.3V
PIN73	B14_L22_N	R16	3.3V	PIN74	B14_L19_P	P14	3.3V
PIN75	B14_L24_N	R17	3.3V	PIN76	B14_L23_P	N13	3.3V
PIN77	B14_L24_P	P16	3.3V	PIN78	B14_L23_N	N14	3.3V
PIN79	B14_IO0	P20	3.3V	PIN80	B14_IO25	N15	3.3V

图 2-10-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

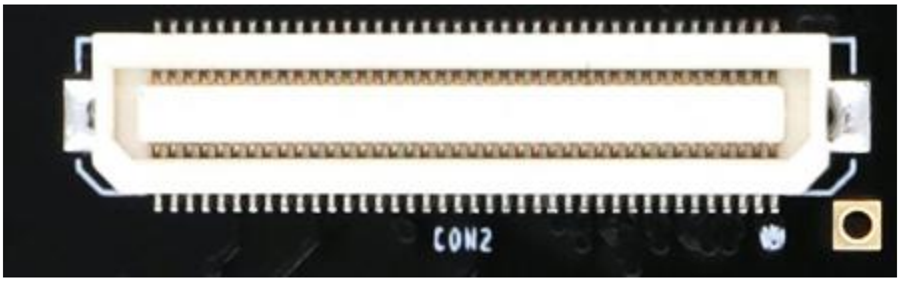


图 2-9-2 CON2 扩展口连接器的实物图

扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 BANK15 和 BANK16 的普通 IO，另外还有 4 个 JTAG 的信号也通过 CON3 连接器连接到底板上。BANK15 和 BANK16 的电压标准都是可以通过一个 LDO 芯片来调整，默认安装的 LDO 是 3.3V 的，如果用户想输出其它标准的电平，可以更换合适的 LDO 来实现。CON3 扩展口的管脚分配如表 2-9-3 所示：

2-9-3 表：扩展口 CON3 引脚分配

CON3 管脚	信号名称	FPGA 管脚号	电平标准	CON3 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	B15_IO0	J16	3.3V	PIN2	B15_IO25	M17	3.3V
PIN3	B16_IO0	F15	3.3V	PIN4	B16_IO25	F21	3.3V
PIN5	B15_L4_P	G17	3.3V	PIN6	B16_L21_N	A21	3.3V
PIN7	B15_L4_N	G18	3.3V	PIN8	B16_L21_P	B21	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B15_L2_P	G15	3.3V	PIN12	B16_L23_P	E21	3.3V
PIN13	B15_L2_N	G16	3.3V	PIN14	B16_L23_N	D21	3.3V
PIN15	B15_L12_P	J19	3.3V	PIN16	B16_L22_P	E22	3.3V
PIN17	B15_L12_N	H19	3.3V	PIN18	B16_L22_N	D22	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B15_L11_P	J20	3.3V	PIN22	B16_L24_P	G21	3.3V
PIN23	B15_L11_N	J21	3.3V	PIN24	B16_L24_N	G22	3.3V
PIN25	B15_L1_N	G13	3.3V	PIN26	B15_L8_N	G20	3.3V
PIN27	B15_L1_P	H13	3.3V	PIN28	B15_L8_P	H20	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B15_L5_P	J15	3.3V	PIN32	B15_L7_N	H22	3.3V

PIN33	B15_L5_N	H15	3.3V	PIN34	B15_L7_P	J22	3.3V
PIN35	B15_L3_N	H14	3.3V	PIN36	B15_L9_P	K21	3.3V
PIN37	B15_L3_P	J14	3.3V	PIN38	B15_L9_N	K22	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B15_L19_P	K13	3.3V	PIN42	B15_L15_N	M22	3.3V
PIN43	B15_L19_N	K14	3.3V	PIN44	B15_L15_P	N22	3.3V
PIN45	B15_L20_P	M13	3.3V	PIN46	B15_L6_N	H18	3.3V
PIN47	B15_L20_N	L13	3.3V	PIN48	B15_L6_P	H17	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B15_L14_P	L19	3.3V	PIN52	B15_L13_N	K19	3.3V
PIN53	B15_L14_N	L20	3.3V	PIN54	B15_L13_P	K18	3.3V
PIN55	B15_L21_P	K17	3.3V	PIN56	B15_L10_P	M21	3.3V
PIN57	B15_L21_N	J17	3.3V	PIN58	B15_L10_N	L21	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B15_L23_P	L16	3.3V	PIN62	B15_L18_P	N20	3.3V
PIN63	B15_L23_N	K16	3.3V	PIN64	B15_L18_N	M20	3.3V
PIN65	B15_L22_P	L14	3.3V	PIN66	B15_L17_N	N19	3.3V
PIN67	B15_L22_N	L15	3.3V	PIN68	B15_L17_P	N18	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B15_L24_P	M15	3.3V	PIN72	B15_L16_P	M18	3.3V
PIN73	B15_L24_N	M16	3.3V	PIN74	B15_L16_N	L18	3.3V
PIN75	NC	-		PIN76	NC	-	
PIN77	FPGA_TCK	V12	3.3V	PIN78	FPGA_TDI	R13	3.3V
PIN79	FPGA_TDO	U13	3.3V	PIN80	FPGA_TMS	T13	3.3V

图 2-9-3 为 CON3 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

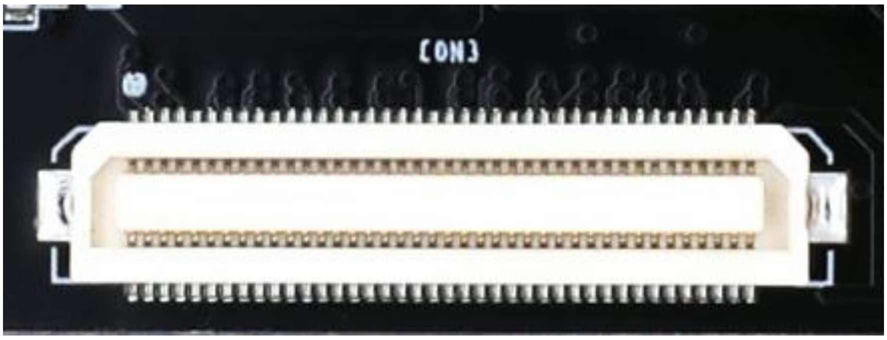


图 2-9-3 CON3 扩展口连接器的实物图

扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANK16 的普通 IO 和 GTP 的高速数据和时钟信号。BANK16 的 IO 口的电压标准可以通过一个 LDO 芯片来调整，默认安装的 LDO 是 3.3V 的，如果用户想输出其它标准的电平，可以更换合适的 LDO 来实现。GTP 的高速数据和时钟信号在核心板上严格差分走线，数据线等长及保持一定的间隔，防止信号干扰。CON4 扩展口的管脚分配如表 2-9-4 所示：

2-9-4 表：扩展口 CON4 引脚分配

CON4 管脚	信号名称	FPGA 管脚号	电平标准	CON4 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	NC		空脚	NC		空脚	NC
PIN3	NC		空脚	NC		空脚	NC
PIN5	NC		空脚	NC		空脚	NC
PIN7	NC		空脚	NC		空脚	NC
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC		空脚	PIN12	MGT_TX2_P	B6	差分
PIN13	NC		空脚	PIN14	MGT_TX2_N	A6	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	MGT_TX3_P	D7	差分	PIN18	MGT_RX2_P	B10	差分
PIN19	MGT_TX3_N	C7	差分	PIN20	MGT_RX2_N	A10	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	MGT_RX3_P	D9	差分	PIN24	MGT_TX0_P	B4	差分
PIN25	MGT_RX3_N	C9	差分	PIN26	MGT_TX0_N	A4	差分
PIN27	GND	-	地	PIN28	GND	-	地

PIN29	MGT_TX1_P	D5	差分	PIN30	MGT_RX0_P	B8	差分
PIN31	MGT_TX1_N	C5	差分	PIN32	MGT_RX0_N	A8	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	MGT_RX1_P	D11	差分	PIN36	MGT_CLK1_P	F10	差分
PIN37	MGT_RX1_N	C11	差分	PIN38	MGT_CLK1_N	E10	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B16_L5_P	E16	3.3V	PIN42	B16_L2_P	F16	3.3V
PIN43	B16_L5_N	D16	3.3V	PIN44	B16_L2_N	E17	3.3V
PIN45	B16_L7_P	B15	3.3V	PIN46	B16_L3_P	C14	3.3V
PIN47	B16_L7_N	B16	3.3V	PIN48	B16_L3_N	C15	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B16_L9_P	A15	3.3V	PIN52	B16_L10_P	A13	3.3V
PIN53	B16_L9_N	A16	3.3V	PIN54	B16_L10_N	A14	3.3V
PIN55	B16_L11_P	B17	3.3V	PIN56	B16_L12_P	D17	3.3V
PIN57	B16_L11_N	B18	3.3V	PIN58	B16_L12_N	C17	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B16_L13_P	C18	3.3V	PIN62	B16_L14_P	E19	3.3V
PIN63	B16_L13_N	C19	3.3V	PIN64	B16_L14_N	D19	3.3V
PIN65	B16_L15_P	F18	3.3V	PIN66	B16_L16_P	B20	3.3V
PIN67	B16_L15_N	E18	3.3V	PIN68	B16_L16_N	A20	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B16_L17_P	A18	3.3V	PIN72	B16_L18_P	F19	3.3V
PIN73	B16_L17_N	A19	3.3V	PIN74	B16_L18_N	F20	3.3V
PIN75	B16_L19_P	D20	3.3V	PIN76	B16_L20_P	C22	3.3V
PIN77	B16_L19_N	C20	3.3V	PIN78	B16_L20_N	B22	3.3V
PIN79	NC	-		PIN80	NC	-	

图 2-9-4 为 CON4 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

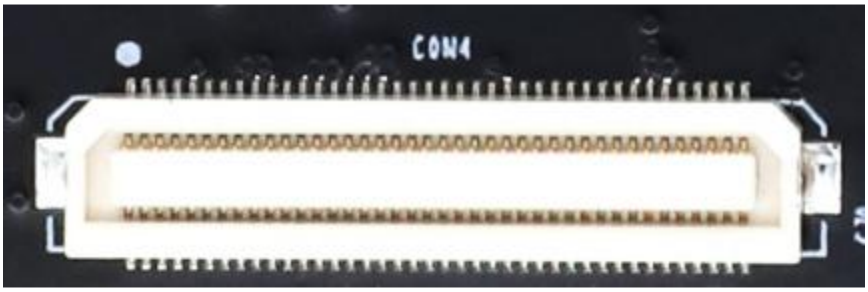


图 2-9-4 CON4 扩展口连接器的实物图

(十) 电源

AC7A035 核心板供电电压为 DC5V，单独使用时通过 J2 接口供电，连接底板时通过底板供电，请注意不要 J2 和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-10-1 所示:

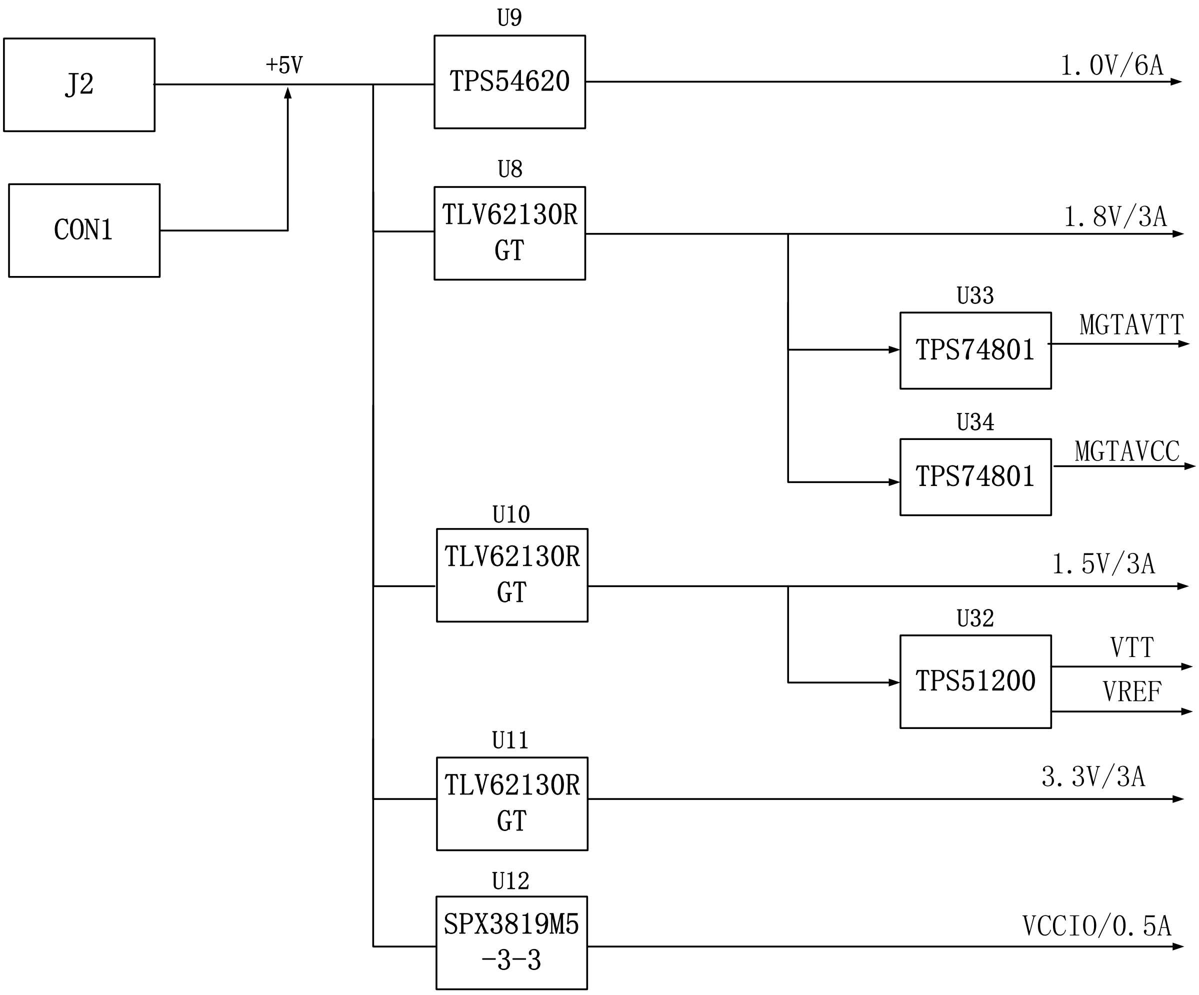


图 2-10-1 原理图中电源接口部分

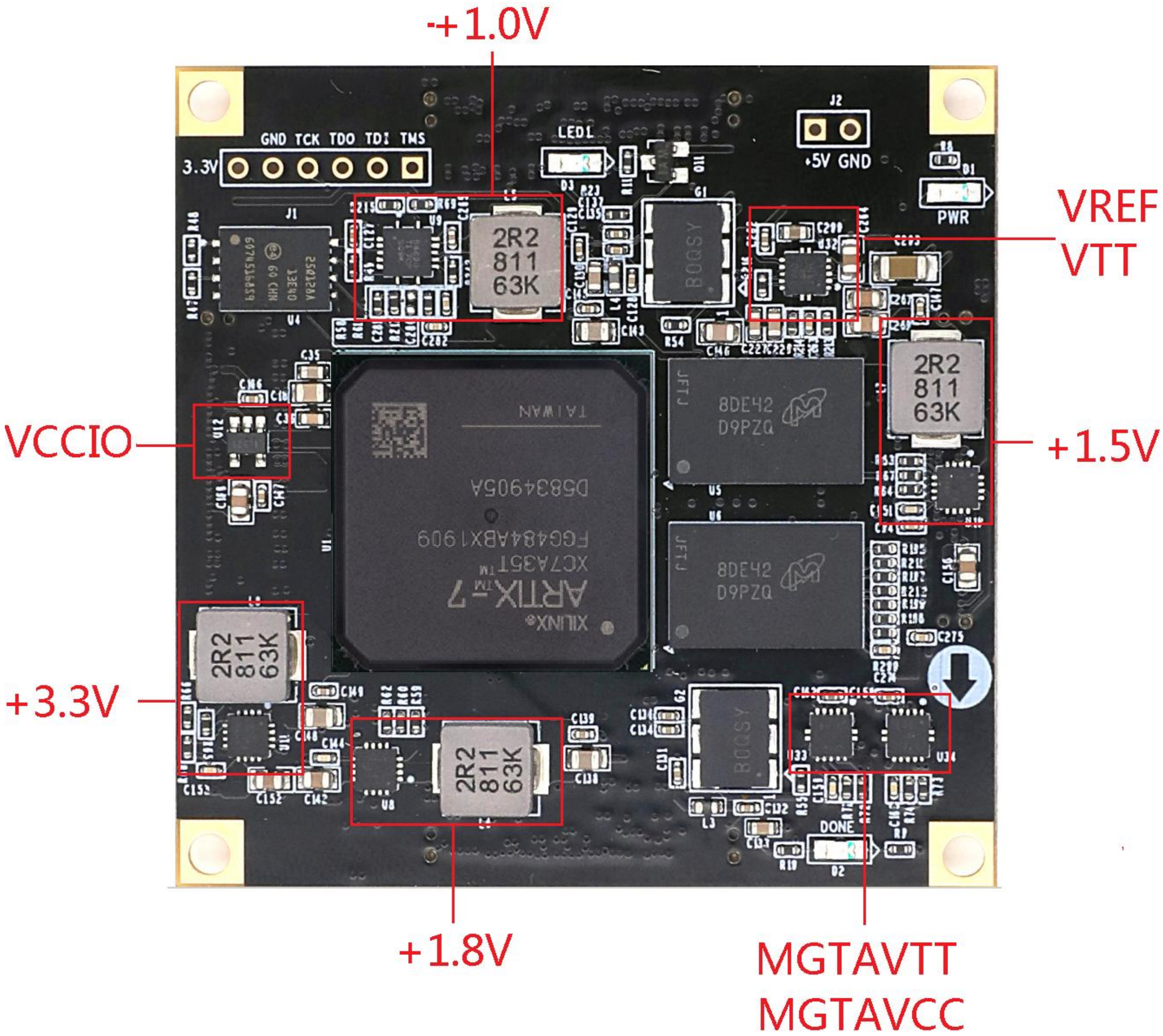
核心板通过+5V 供电, 通过 3 路 DC/DC 电源芯片 TLV62130RGT 和 TPS54620 转化成+3.3V，+1.5V，+1.8V，+1.0V 四路电源，其中+1.0V 的电流可高达 6A，其它 3

路输出电流可高达 3A。另外通过一路 LDO SPX3819M5-3-3 产生 VCCIO 电源 ,VCCIO 主要是对 FPGA 的 BANK15 ,BANK16 进行供电 ,用户可以通过更换其它的 LDO 芯片，使得 BANK15，16 的 IO 适应不同的电压标准。1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压。1.8V 通过 TI 的 TPS74801 芯片产生 GTP 收发器的电源 MGTAVTT 和 MGTAVCC。各个电源分配的功能如下表所示：

电源	功能
+3.3V	FPGA Bank0,Bank13 ,Bank14 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压, TPS74801 供电
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA Bank34 和 Bank35
VREF, VTT（+0.75V）	DDR3
VCCIO(+3.3V)	FPGA Bank15, Bank16
MGTAVTT(+1.2V)	FPGA GTP 收发器 Bank216
MGTAVCC(+1.0V)	FPGA GTP 收发器 Bank216

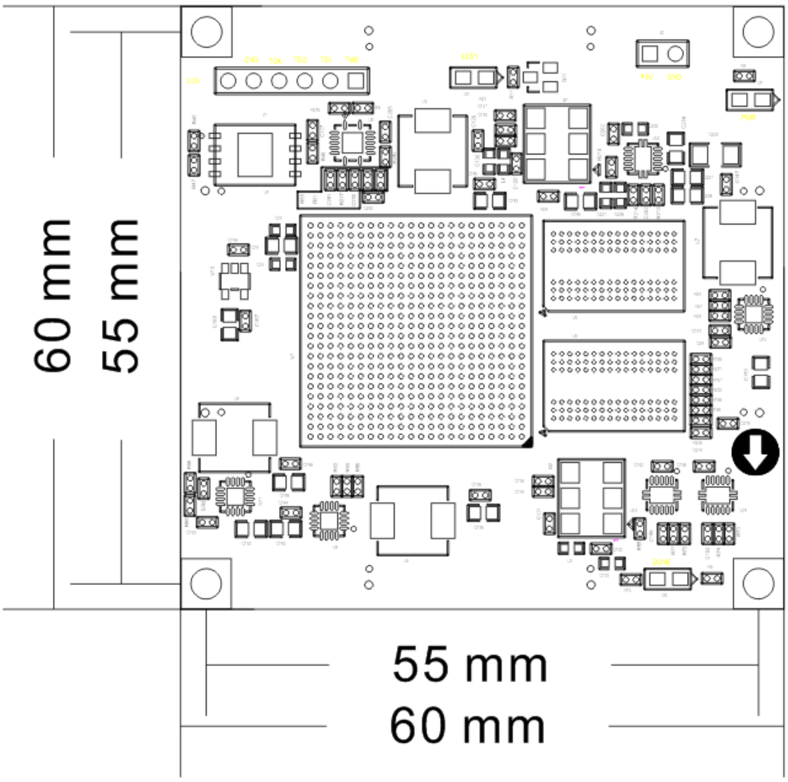
因为 Artix-7 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为 1.0V->1.8V->（1.5 V、3.3V、VCCIO）和 1.0V-> MGTAVCC -> MGTAVTT 的电路设计，保证芯片的正常工作。

AC7A035 核心板的电源电路在板上的分别实物图所下图 2-10-2 所示。

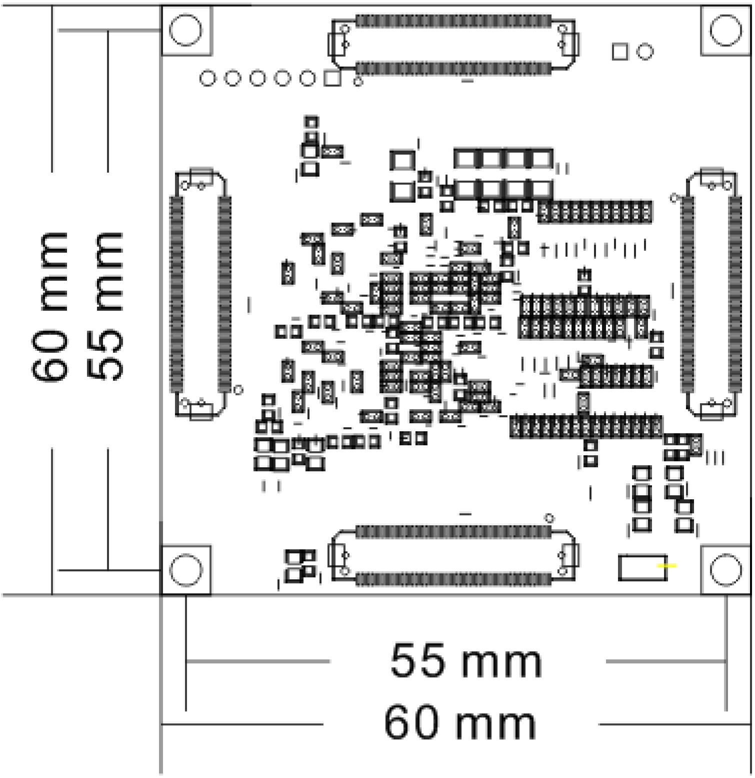


2-10-2 核心板电源部分实物图

(十一) 结构图



正面图（Top View）



背面图（Top View）